

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-254713

(43) 公開日 平成8年(1996)10月1日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0		G 0 2 F 1/136	5 0 0
H 0 1 L 29/786			H 0 1 L 29/78	6 1 7 T

審査請求 未請求 請求項の数23 O L (全 12 頁)

(21) 出願番号 特願平7-56939

(22) 出願日 平成7年(1995)3月16日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 福田 加一

神奈川県横浜市磯子区新杉田町8 株式会社東芝横浜事業所内

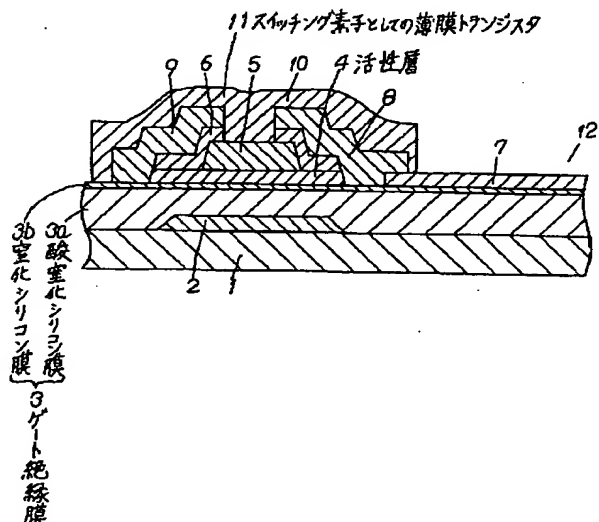
(74) 代理人 弁理士 樺澤 襄 (外2名)

(54) 【発明の名称】 薄膜トランジスタ、その製造方法および液晶表示素子

(57) 【要約】

【目的】 特性、安定性、絶縁性、歩留およびプロセス整合性に優れた薄膜トランジスタを提供する。

【構成】 ガラス基板1の一主面上にゲート電極2を形成する。ゲート電極2上に、酸化シリコン ( $\text{SiO}_2$ ,  $\text{N}_x$ ) 膜3a、窒化シリコン ( $\text{SiN}_x$ ) 膜3bを積層形成し、2層でゲート絶縁膜3とする。ゲート絶縁膜3上に、a-Si膜4を積層形成する。a-Si膜4上に、 $\text{SiN}_x$ 膜を積層して、チャネル保護膜5を形成する。ゲート絶縁膜3上にITO (Indium Tin Oxide) の画素電極7が形成する。低抵抗半導体膜6のソース領域上には、画素電極7と接続した状態でソース電極8を形成し、ドレイン領域上にはドレイン電極9を形成し、保護膜10を積層形成し、能動素子基板12となる。



## 【特許請求の範囲】

【請求項1】 ゲート絶縁膜上に活性層を形成し、この活性層に非単結晶シリコンを用いた薄膜トランジスタにおいて、

前記ゲート絶縁膜は、酸化シリコン膜および窒化シリコン膜の積層膜にて形成され、この窒化シリコン膜が前記非単結晶シリコンに接していることを特徴とする薄膜トランジスタ。

【請求項2】 酸化シリコン膜は、Si、N、O、Hを主成分とし、Nの濃度が、N/Si比で0.1以上0.8以下であり、かつ、Oの濃度よりも少なく、窒化シリコン膜は、Si、N、Hを主成分とし、Nの濃度が、N/Si比で1.2以上1.6以下、Oの濃度が、 $5 \times 10^{20}$  atoms/cm<sup>3</sup>以下であることを特徴とする請求項1記載の薄膜トランジスタ。

【請求項3】 酸化シリコン膜は、少なくとも一部にPおよびBのいずれか一方をドーピングしたことを特徴とする請求項1または2記載の薄膜トランジスタ。

【請求項4】 酸化シリコン膜は、波長632.8nmでの屈折率が、1.49以上1.65以下であることを特徴とする請求項1ないし3いずれか記載の薄膜トランジスタ。

【請求項5】 酸化シリコン膜は、膜厚が200nm以上450nm以下であり、窒化シリコン膜は、膜厚が5nm以上200nm以下であることを特徴とする請求項1ないし4いずれか記載の薄膜トランジスタ。

【請求項6】 ゲート絶縁膜上に活性層を形成し、この活性層に非単結晶シリコンを用いた薄膜トランジスタにおいて、

前記ゲート絶縁膜は、酸化シリコン膜、酸化シリコン膜および窒化シリコン膜の積層膜にて形成され、この酸化シリコン膜は、前記酸化シリコン膜の上部を覆って配置されるとともに、前記窒化シリコン膜は、前記非単結晶シリコンに接していることを特徴とする薄膜トランジスタ。

【請求項7】 酸化シリコン膜は、少なくとも一部にPおよびBのいずれか一方をドーピングしたことを特徴とする請求項6記載の薄膜トランジスタ。

【請求項8】 酸化シリコン膜は、Si、O、Hを主成分とし、Nの濃度が $5 \times 10^{20}$  atoms/cm<sup>3</sup>以下であることを特徴とする請求項6または7記載の薄膜トランジスタ。

【請求項9】 酸化シリコン膜および酸化シリコン膜の合計の膜厚は、200nm以上450nm以下であり、かつ、前記酸化シリコン膜の膜厚は100nm以上であり、前記窒化シリコン膜の膜厚は5nm以上200nm以下であることを特徴とする請求項6ないし8いずれか記載の薄膜トランジスタ。

【請求項10】 ゲート電極上にゲート絶縁膜を形成

し、このゲート絶縁膜上に活性層を形成し、この活性層に非単結晶シリコンを用い、この活性層上にチャネル保護膜を有する逆スタガード型の薄膜トランジスタにおいて、

ゲート絶縁膜は、酸化シリコン膜および窒化シリコン膜の積層膜にて形成され、この窒化シリコン膜が前記非単結晶シリコンに接し、かつ、前記チャネル保護膜が前記ゲート電極に自己整合されたことを特徴とする薄膜トランジスタ。

10 【請求項11】 ゲート電極上にゲート絶縁膜を形成し、このゲート絶縁膜上に活性層を形成し、この活性層に非単結晶シリコンを活性層に用い、この活性層上にチャネル保護膜を有する逆スタガード型の薄膜トランジスタにおいて、

前記ゲート絶縁膜は、酸化シリコン膜、酸化シリコン膜および窒化シリコン膜の積層膜にて形成され、この酸化シリコン膜は前記酸化シリコン膜の上部を覆って配置され、前記窒化シリコン膜が前記非単結晶シリコンに接し、かつ、前記チャネル保護膜を前記ゲート電極に自己整合させたことを特徴とする薄膜トランジスタ。

20 【請求項12】 ゲート絶縁膜上に活性層を形成し、この活性層に非単結晶シリコンを用いた薄膜トランジスタの製造方法において、

前記ゲート絶縁膜は、酸化シリコン膜および窒化シリコン膜の積層膜にて形成され、この窒化シリコン膜が前記非単結晶シリコンに接しており、この酸化シリコン膜は、原料ガスにSiH<sub>4</sub>、N<sub>2</sub>、O<sub>2</sub>、N<sub>2</sub>またはNH<sub>3</sub>の混合ガスを用いたプラズマCVDによって形成することを特徴とする薄膜トランジスタの製造方法。

30 【請求項13】 ゲート絶縁膜上に活性層を形成し、この活性層に非単結晶シリコンを用いた薄膜トランジスタの製造方法において、

前記ゲート絶縁膜は、酸化シリコン膜および窒化シリコン膜の積層膜にて形成され、この窒化シリコン膜が前記非単結晶シリコンに接しており、前記酸化シリコン膜は、原料ガスに有機シラン、O<sub>2</sub>、N<sub>2</sub>またはNH<sub>3</sub>の混合ガスを用いたプラズマCVDによって形成することを特徴とする薄膜トランジスタの製造方法。

40 【請求項14】 ゲート絶縁膜上に活性層を形成し、この活性層に非単結晶シリコンを用いた薄膜トランジスタの製造方法において、

前記ゲート絶縁膜は、酸化シリコン膜および窒化シリコン膜の積層膜にて形成され、この窒化シリコン膜が前記非単結晶シリコンに接しており、前記酸化シリコン膜、窒化シリコン膜、非単結晶シリコンをプラズマCVDの同一反応室で連続的に形成することを特徴とする薄膜トランジスタの製造方法。

50 【請求項15】 ゲート絶縁膜上に活性層を形成し、こ

の活性層に非単結晶シリコンを用い、表面に保護膜を形成し、この保護膜に無機絶縁膜を用いた薄膜トランジスタの製造方法において、

前記ゲート絶縁膜は、酸窒化シリコン膜および窒化シリコン膜の積層膜にて形成され、この窒化シリコン膜が前記非単結晶シリコンに接しており、

前記酸窒化シリコン膜、窒化シリコン膜、非単結晶シリコン、無機絶縁膜をプラズマCVDの同一反応室で連続的に形成することを特徴とする薄膜トランジスタの製造方法。

【請求項16】 ゲート絶縁膜上に活性層を形成し、この活性層に非単結晶シリコンを用いた薄膜トランジスタの製造方法において、

前記ゲート絶縁膜は、酸化シリコン膜、酸窒化シリコン膜および窒化シリコン膜の積層膜にて形成され、この酸窒化シリコン膜は、前記酸化シリコン膜の上部を覆って配置されるときともに、前記窒化シリコン膜は、前記非単結晶シリコンに接しており、

前記酸化シリコン膜は、 $\text{SiH}_4$ と $\text{O}_2$ を主な原料ガスとし、 $\text{N}_2$ を希釈ガスに用い、常圧CVDで形成することを特徴とする薄膜トランジスタの製造方法。

【請求項17】 ゲート絶縁膜上に活性層を形成し、この活性層に非単結晶シリコンを用いた薄膜トランジスタの製造方法において、

前記ゲート絶縁膜は、酸化シリコン膜、酸窒化シリコン膜および窒化シリコン膜の積層膜にて形成され、この酸窒化シリコン膜は、前記酸化シリコン膜の上部を覆って配置されるときともに、前記窒化シリコン膜は、前記非単結晶シリコンに接しており、

前記酸化シリコン膜は、有機シラン、 $\text{O}_3$ 、 $\text{O}_2$ を主な原料ガスとし、 $\text{N}_2$ を希釈ガスに用い、常圧CVDで形成することを特徴とする薄膜トランジスタの製造方法。

【請求項18】 ゲート絶縁膜上に活性層を形成し、この活性層に非単結晶シリコンを用いた薄膜トランジスタの製造方法において、

前記ゲート絶縁膜は、酸化シリコン膜、酸窒化シリコン膜および窒化シリコン膜の積層膜にて形成され、この酸窒化シリコン膜は、前記酸化シリコン膜の上部を覆って配置されるときともに、前記窒化シリコン膜は、前記非単結晶シリコンに接しており、

前記酸化シリコン膜は、 $\text{SiH}_4$ と $\text{N}_2$ 、 $\text{O}$ を主な原料ガスとし、プラズマCVDで形成することを特徴とする薄膜トランジスタの製造方法。

【請求項19】 ゲート絶縁膜上に活性層を形成し、この活性層に非単結晶シリコンを用いた薄膜トランジスタの製造方法において、

前記ゲート絶縁膜は、酸化シリコン膜、酸窒化シリコン膜および窒化シリコン膜の積層膜にて形成され、この酸窒化シリコン膜は、前記酸化シリコン膜の上部を覆って配置されるときともに、前記窒化シリコン膜は、前記非単

結晶シリコンに接しており、

前記酸化シリコン膜は、有機シランと $\text{O}_2$ を主な原料ガスとし、プラズマCVDで形成することを特徴とする薄膜トランジスタの製造方法。

【請求項20】 基板上にゲート絶縁膜上に活性層を形成し、この活性層に非単結晶シリコンを用いた薄膜トランジスタの製造方法において、

前記ゲート絶縁膜は、酸化シリコン膜、酸窒化シリコン膜および窒化シリコン膜の積層膜にて形成され、この酸窒化シリコン膜は、前記酸化シリコン膜の上部を覆って配置されるときともに、前記窒化シリコン膜は、前記非単結晶シリコンに接しており、

前記酸化シリコン膜の形成された基板を10 Torr以下の真空または減圧雰囲気中でアニールし、

次いで大気に曝すことなく酸窒化シリコン膜を形成することを特徴とする薄膜トランジスタの製造方法。

【請求項21】 基板上にゲート絶縁膜上に活性層を形成し、この活性層に非単結晶シリコンを用いた薄膜トランジスタの製造方法において、

前記ゲート絶縁膜は、酸化シリコン膜、酸窒化シリコン膜および窒化シリコン膜の積層膜にて形成され、この酸窒化シリコン膜は、前記酸化シリコン膜の上部を覆って配置されるときともに、前記窒化シリコン膜は、前記非単結晶シリコンに接しており、

前記酸窒化シリコン膜、窒化シリコン膜、非単結晶シリコンをプラズマCVDの同一反応室で連続的に形成することを特徴とする薄膜トランジスタの製造方法。

【請求項22】 基板上にゲート絶縁膜上に活性層を形成し、この活性層に非単結晶シリコンを用い、表面に保護膜を形成し、この保護膜に無機絶縁膜を用いた薄膜トランジスタの製造方法において、

前記ゲート絶縁膜は、酸化シリコン膜、酸窒化シリコン膜および窒化シリコン膜の積層膜にて形成され、この酸窒化シリコン膜は、前記酸化シリコン膜の上部を覆って配置されるときともに、前記窒化シリコン膜は、前記非単結晶シリコンに接しており、

酸窒化シリコン膜、窒化シリコン膜、非単結晶シリコン、無機絶縁膜をプラズマCVDの同一反応室で連続的に形成することを特徴とする薄膜トランジスタの製造方法。

【請求項23】 請求項1ないし11いずれか記載の薄膜トランジスタをスイッチング素子として用いたことを特徴とする液晶表示素子。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、活性層に非単結晶シリコンを用いた薄膜トランジスタ、その製造方法および液晶表示素子に関する。

【0002】

【従来の技術】近年、液晶を用いた表示素子としては、

テレビジョン表示やグラフィックディスプレイなどを指向した大容量、高密度化が図られている。そして、このため、たとえばラビングによる配向処理がそれぞれ施された2枚の基板を、これら基板の配向方向が互いに90°をなすように平行に対向して配置し、この平行に配置した基板間に、ネマチックタイプの液晶組成物を挟持させた構成のいわゆるツイステッドネマチック(TN)型でアクティブマトリクス(AM)型の液晶表示素子(LCD)が注目されている。

【0003】そして、このアクティブマトリクス型液晶表示素子では、クロストークのない高コントラスト表示が行なえるように、各画素の駆動および制御を半導体スイッチで行なう方式が採用されている。そして、この半導体スイッチとしては透過型の表示が可能であり、また大面積化も容易であるなどの理由から、透明絶縁基板上に形成配置した非晶質シリコン(a-Si)系の薄膜トランジスタ(TFT)が用いられており、この薄膜トランジスタは、活性層にa-Si層を用い、この活性層を挟んで下層にゲート電極、上層にソース電極およびドレイン電極を配置した逆スタガード構造が多く用いられている。

【0004】また、この薄膜トランジスタに用いるゲート絶縁膜には、窒化シリコン(SiN<sub>x</sub>)を使用するのが一般的である。

【0005】

【発明が解決しようとする課題】そして、これらSiN<sub>x</sub>とa-SiとはプラズマCVDでの連続形成が可能であり、接合特性に優れた良質界面を形成できるので広く用いられているものの、SiN<sub>x</sub>はワイドギャップが5 eV程度とあまり広くないので絶縁性が十分ではない。

【0006】また、ゲート絶縁膜に別の構造を用いる構成として、たとえばボトムゲート薄膜トランジスタの場合には、酸化タンタル(TaO<sub>x</sub>)や酸化シリコン(SiO<sub>x</sub>)膜などを下層に配設して、a-Siと接する上層にSiN<sub>x</sub>を用いる構成がある。このようにTaO<sub>x</sub>やSiO<sub>x</sub>などの他の膜と組み合わせることによって、SiN<sub>x</sub>の単層の場合に比べ、リーク電流の低減や層間絶縁の歩留まり向上を図ることができる。特に、SiO<sub>x</sub>膜はワイドギャップが広いので、絶縁膜への電荷に注入が少なく薄膜トランジスタ特性が安定化する。さらに、製造技術としてもSiO<sub>x</sub>膜では熱CVDなどのパーティクル発生が少ない手法が確立されており、ピンホール欠落の密度が少なく、層間絶縁に高歩留まりが得られる。

【0007】しかしながら、通常、薄膜トランジスタは低融点のガラス基板上に形成するため、これらガラス基板内に含まれる不純物として10<sup>19</sup>~10<sup>20</sup>cm<sup>-3</sup>程度のNaがNaイオンとなり、このNaイオンがゲート絶縁膜中に進入して、薄膜トランジスタの特性の不安定化を招く。なお、この点ではSiN<sub>x</sub>膜がNaイオンのプロ

ッキング効果が高いのに対して、SiO<sub>x</sub>膜の場合にはNaイオンが自由に移動してしまうことは良く知られている。したがって、ガラス表面にあらかじめ何らかのイオンブロッキング膜、たとえばSiN<sub>x</sub>膜やBPSG膜、BPSG膜をコーティングすることも効果はあるが十分ではない。さらに、SiO<sub>x</sub>膜は製法によっては吸湿しやすい膜となり、膜中に取り込まれた水分がやはり薄膜トランジスタの特性を不安定化させてしまう問題を有している。

10 【0008】本発明は、上記問題点を鑑みなされたもので、特性、安定性、絶縁性、歩留およびプロセス整合性に優れた薄膜トランジスタ、その製造方法および液晶表示素子を提供することを目的とする。

【0009】

【課題を解決するための手段】請求項1記載の薄膜トランジスタは、ゲート絶縁膜上に活性層を形成し、この活性層に非単結晶シリコンを用いた薄膜トランジスタにおいて、前記ゲート絶縁膜は、酸化シリコン膜および窒化シリコン膜の積層膜にて形成され、この窒化シリコン膜が前記非単結晶シリコンに接しているものである。

20 【0010】請求項2記載の薄膜トランジスタは、請求項1記載の薄膜トランジスタにおいて、酸化シリコン膜は、Si、N、O、Hを主成分とし、Nの濃度が、N/Si比で0.1以上0.8以下であり、かつ、Oの濃度よりも少なく、窒化シリコン膜は、Si、N、Hを主成分とし、Nの濃度が、N/Si比で1.2以上1.6以下、Oの濃度が、5×10<sup>19</sup>atoms/cm<sup>3</sup>以下であるものである。

30 【0011】請求項3記載の薄膜トランジスタは、請求項1または2記載の薄膜トランジスタにおいて、酸化シリコン膜は、少なくとも一部にPおよびBのいずれか一方をドーピングしたものである。

【0012】請求項4記載の薄膜トランジスタは、請求項1ないし3いずれか記載の薄膜トランジスタにおいて、酸化シリコン膜は、波長632.8nmでの屈折率が、1.49以上1.65以下であるものである。

40 【0013】請求項5記載の薄膜トランジスタは、請求項1ないし4いずれか記載の薄膜トランジスタにおいて、酸化シリコン膜は、膜厚が200nm以上450nm以下であり、窒化シリコン膜は、膜厚が5nm以上200nm以下であるものである。

【0014】請求項6記載の薄膜トランジスタは、ゲート絶縁膜上に活性層を形成し、この活性層に非単結晶シリコンを用いた薄膜トランジスタにおいて、前記ゲート絶縁膜は、酸化シリコン膜、酸化シリコン膜および窒化シリコン膜の積層膜にて形成され、この酸化シリコン膜は、前記酸化シリコン膜の上部を覆って配置されるとともに、前記窒化シリコン膜は、前記非単結晶シリコンに接しているものである。

50 【0015】請求項7記載の薄膜トランジスタは、請求

項6記載の薄膜トランジスタにおいて、酸化シリコン膜は、少なくとも一部にPおよびBのいずれか一方をドーピングしたものである。

【0016】請求項8記載の薄膜トランジスタは、請求項6または7記載の薄膜トランジスタにおいて、酸化シリコン膜は、Si、O、Hを主成分とし、Nの濃度が $5 \times 10^{19}$  atoms/cm<sup>3</sup>以下であるものである。

【0017】請求項9記載の薄膜トランジスタは、請求項6ないし8いずれか記載の薄膜トランジスタにおいて、酸化シリコン膜および酸窒化シリコン膜の合計の膜厚は、200nm以上450nm以下であり、かつ、前記酸窒化シリコン膜の膜厚は100nm以上であり、前記窒化シリコン膜の膜厚は5nm以上200nm以下であるものである。

【0018】請求項10記載の薄膜トランジスタは、ゲート電極上にゲート絶縁膜を形成し、このゲート絶縁膜上に活性層を形成し、この活性層に非単結晶シリコンを用い、この活性層上にチャネル保護膜を有する逆スタガード型の薄膜トランジスタにおいて、ゲート絶縁膜は、酸窒化シリコン膜および窒化シリコン膜の積層膜にて形成され、この窒化シリコン膜が前記非単結晶シリコンに接し、かつ、前記チャネル保護膜が前記ゲート電極に自己整合されたものである。

【0019】請求項11記載の薄膜トランジスタは、ゲート電極上にゲート絶縁膜を形成し、このゲート絶縁膜上に活性層を形成し、この活性層に非単結晶シリコンを活性層に用い、この活性層上にチャネル保護膜を有する逆スタガード型の薄膜トランジスタにおいて、前記ゲート絶縁膜は、酸化シリコン膜、酸窒化シリコン膜および窒化シリコン膜の積層膜にて形成され、この酸窒化シリコン膜は前記酸化シリコン膜の上部を覆って配置され、前記窒化シリコン膜が前記非単結晶シリコンに接し、かつ、前記チャネル保護膜を前記ゲート電極に自己整合させたものである。

【0020】請求項12記載の薄膜トランジスタの製造方法は、ゲート絶縁膜上に活性層を形成し、この活性層に非単結晶シリコンを用いた薄膜トランジスタの製造方法において、前記ゲート絶縁膜は、酸窒化シリコン膜および窒化シリコン膜の積層膜にて形成され、この窒化シリコン膜が前記非単結晶シリコンに接しており、この酸窒化シリコン膜は、原料ガスにSiH<sub>4</sub>、N<sub>2</sub>O、N<sub>2</sub>、またはNH<sub>3</sub>の混合ガスを用いたプラズマCVDによって形成するものである。

【0021】請求項13記載の薄膜トランジスタの製造方法は、ゲート絶縁膜上に活性層を形成し、この活性層に非単結晶シリコンを用いた薄膜トランジスタの製造方法において、前記ゲート絶縁膜は、酸窒化シリコン膜および窒化シリコン膜の積層膜にて形成され、この窒化シリコン膜が前記非単結晶シリコンに接しており、前記酸窒化シリコン膜は、原料ガスに有機シラン、O<sub>2</sub>、N<sub>2</sub>、

またはNH<sub>3</sub>の混合ガスを用いたプラズマCVDによって形成するものである。

【0022】請求項14記載の薄膜トランジスタの製造方法は、ゲート絶縁膜上に活性層を形成し、この活性層に非単結晶シリコンを用いた薄膜トランジスタの製造方法において、前記ゲート絶縁膜は、酸窒化シリコン膜および窒化シリコン膜の積層膜にて形成され、この窒化シリコン膜が前記非単結晶シリコンに接しており、前記酸窒化シリコン膜、窒化シリコン膜、非単結晶シリコンをプラズマCVDの同一反応室で連続的に形成するものである。

【0023】請求項15記載の薄膜トランジスタの製造方法は、ゲート絶縁膜上に活性層を形成し、この活性層に非単結晶シリコンを用い、表面に保護膜を形成し、この保護膜に無機絶縁膜を用いた薄膜トランジスタの製造方法において、前記ゲート絶縁膜は、酸窒化シリコン膜および窒化シリコン膜の積層膜にて形成され、この窒化シリコン膜が前記非単結晶シリコンに接しており、前記酸窒化シリコン膜、窒化シリコン膜、非単結晶シリコン、無機絶縁膜をプラズマCVDの同一反応室で連続的に形成するものである。

【0024】請求項16記載の薄膜トランジスタの製造方法は、ゲート絶縁膜上に活性層を形成し、この活性層に非単結晶シリコンを用いた薄膜トランジスタの製造方法において、前記ゲート絶縁膜は、酸化シリコン膜、酸窒化シリコン膜および窒化シリコン膜の積層膜にて形成され、この酸窒化シリコン膜は、前記酸化シリコン膜の上部を覆って配置されるとともに、前記窒化シリコン膜は、前記非単結晶シリコンに接しており、前記酸化シリコン膜は、SiH<sub>4</sub>とO<sub>2</sub>を主な原料ガスとし、N<sub>2</sub>を希釈ガスに用い、常圧CVDで形成するものである。

【0025】請求項17記載の薄膜トランジスタの製造方法は、ゲート絶縁膜上に活性層を形成し、この活性層に非単結晶シリコンを用いた薄膜トランジスタの製造方法において、前記ゲート絶縁膜は、酸化シリコン膜、酸窒化シリコン膜および窒化シリコン膜の積層膜にて形成され、この酸窒化シリコン膜は、前記酸化シリコン膜の上部を覆って配置されるとともに、前記窒化シリコン膜は、前記非単結晶シリコンに接しており、前記酸化シリコン膜は、有機シラン、O<sub>2</sub>、O<sub>3</sub>を主な原料ガスとし、N<sub>2</sub>を希釈ガスに用い、常圧CVDで形成するものである。

【0026】請求項18記載の薄膜トランジスタの製造方法は、ゲート絶縁膜上に活性層を形成し、この活性層に非単結晶シリコンを用いた薄膜トランジスタの製造方法において、前記ゲート絶縁膜は、酸化シリコン膜、酸窒化シリコン膜および窒化シリコン膜の積層膜にて形成され、この酸窒化シリコン膜は、前記酸化シリコン膜の上部を覆って配置されるとともに、前記窒化シリコン膜は、前記非単結晶シリコンに接しており、前記酸化シリ

コン膜は、 $\text{SiH}_4$ と $\text{N}_2$ 、 $\text{O}$ を主な原料ガスとし、プラズマCVDで形成するものである。

【0027】請求項19記載の薄膜トランジスタの製造方法は、ゲート絶縁膜上に活性層を形成し、この活性層に非単結晶シリコンを用いた薄膜トランジスタの製造方法において、前記ゲート絶縁膜は、酸化シリコン膜、酸窒化シリコン膜および窒化シリコン膜の積層膜にて形成され、この酸窒化シリコン膜は、前記酸化シリコン膜の上部を覆って配置されるとともに、前記窒化シリコン膜は、前記非単結晶シリコンに接しており、前記酸化シリコン膜は、有機シランと $\text{O}_2$ を主な原料ガスとし、プラズマCVDで形成するものである。

【0028】請求項20記載の薄膜トランジスタの製造方法は、基板上にゲート絶縁膜上に活性層を形成し、この活性層に非単結晶シリコンを用いた薄膜トランジスタの製造方法において、前記ゲート絶縁膜は、酸化シリコン膜、酸窒化シリコン膜および窒化シリコン膜の積層膜にて形成され、この酸窒化シリコン膜は、前記酸化シリコン膜の上部を覆って配置されるとともに、前記窒化シリコン膜は、前記非単結晶シリコンに接しており、前記酸化シリコン膜の形成された基板を10Torr以下の真空または減圧雰囲気中でアニールし、次いで大気に曝すことなく酸窒化シリコン膜を形成するものである。

【0029】請求項21記載の薄膜トランジスタの製造方法は、基板上にゲート絶縁膜上に活性層を形成し、この活性層に非単結晶シリコンを用いた薄膜トランジスタの製造方法において、前記ゲート絶縁膜は、酸化シリコン膜、酸窒化シリコン膜および窒化シリコン膜の積層膜にて形成され、この酸窒化シリコン膜は、前記酸化シリコン膜の上部を覆って配置されるとともに、前記窒化シリコン膜は、前記非単結晶シリコンに接しており、前記酸窒化シリコン膜、窒化シリコン膜、非単結晶シリコンをプラズマCVDの同一反応室で連続的に形成するものである。

【0030】請求項22記載の薄膜トランジスタの製造方法は、基板上にゲート絶縁膜上に活性層を形成し、この活性層に非単結晶シリコンを用い、表面に保護膜を形成し、この保護膜に無機絶縁膜を用いた薄膜トランジスタの製造方法において、前記ゲート絶縁膜は、酸化シリコン膜、酸窒化シリコン膜および窒化シリコン膜の積層膜にて形成され、この酸窒化シリコン膜は、前記酸化シリコン膜の上部を覆って配置されるとともに、前記窒化シリコン膜は、前記非単結晶シリコンに接しており、酸窒化シリコン膜、窒化シリコン膜、非単結晶シリコン、無機絶縁膜をプラズマCVDの同一反応室で連続的に形成するものである。

【0031】請求項23記載の液晶表示素子は、請求項1ないし11いずれか記載の薄膜トランジスタをスイッチング素子として用いたものである。

【0032】

【作用】本発明の薄膜トランジスタは、ゲート絶縁膜として、酸窒化シリコン膜および窒化シリコン膜を用い、この窒化シリコン膜が非単結晶シリコンに接しているため、酸窒化シリコン膜はワイドギャップで絶縁性に優れ、不純物イオンブロック効果、耐水性を期待することができるとともに、窒化シリコン膜は非単結晶シリコンとの界面性も良い。

【0033】また、本発明の薄膜トランジスタの製造方法は、ゲート絶縁膜として、酸窒化シリコン膜および窒化シリコン膜を用い、この窒化シリコン膜が非単結晶シリコンに接しており、この酸窒化シリコン膜は、原料ガスに $\text{SiH}_4$ 、 $\text{N}_2$ 、 $\text{O}$ 、 $\text{N}_2$ または $\text{NH}_3$ の混合ガスを用いたプラズマCVDによって形成するため、簡単な方法で、絶縁性に優れ、不純物イオンブロック効果、耐水性を期待することができるとともに、窒化シリコン膜は非単結晶シリコンとの接触性も得られる。

【0034】また、本発明の液晶表示素子は、請求項1ないし11いずれか記載の薄膜トランジスタをスイッチング素子としたため、特性が安定して動作する。

【0035】

【実施例】以下、本発明の一実施例をアクティブマトリクス型の液晶表示素子に適用した場合について、図面を参照して説明する。

【0036】図1はアクティブマトリクス型液晶表示装置(LCD)に用いる薄膜トランジスタ(TFT)を示す断面図であり、1は絶縁性基板でありたとえばガラス(コーニング社製7059)製のガラス基板で、このガラス基板1には一主面上にモリブデン・タンタル(Mo-Ta)からなるゲート電極2が形成される。

【0037】また、ゲート電極2上には、このゲート電極2を覆うように、膜厚0.3 $\mu\text{m}$ の酸窒化シリコン( $\text{SiO}_x\text{N}_y$ )膜3aを積層形成し、さらに、膜厚0.05 $\mu\text{m}$ の窒化シリコン( $\text{SiN}_x$ )膜3bを積層形成し、これら $\text{SiO}_x\text{N}_y$ 膜3aおよび $\text{SiN}_x$ 膜3bの2層でゲート絶縁膜3を構成する。

【0038】さらに、このゲート絶縁膜3上に、膜厚0.05 $\mu\text{m}$ の非晶質シリコン(a-Si)からなる活性層としての半導体膜であるa-Si膜4を積層形成する。そして、a-Si膜4上に、膜厚0.3 $\mu\text{m}$ の $\text{SiN}_x$ 膜3bを積層して、この $\text{SiN}_x$ 膜にレジストによるパターンニングを施して、HFを主成分としたエッチング溶液で所定の形状に加工し、レジストを取り除きチャネル保護膜5を形成する。

【0039】ここで、これらゲート絶縁膜3、a-Si膜4およびチャネル保護膜5の積層形成のプロセスについて説明する。

【0040】まず、 $\text{SiO}_x\text{N}_y$ 膜3a、 $\text{SiN}_x$ 膜3b、a-Si膜4およびチャネル保護膜5の形成方法としては、たとえば全てをプラズマCVD法にて形成する。これら $\text{SiO}_x\text{N}_y$ 膜3a、 $\text{SiN}_x$ 膜3b、a-Si膜4お

よびチャネル保護膜5の積層形成には、それぞれに個別の反応室を割り当て、それら反応室を直列につないだインライン式のCVD装置で形成するのが最も一般的な方法である。一方、最も生産性を高めるにはこれら全ての膜を同一の反応室で、同一設定温度で積層形成するのが有効である。そして、プラズマCVDで形成する薄膜は、 $\text{SiN}_x$ 膜、 $\text{a-Si}$ 膜とともに応力の大きい場合が多く、従来のゲート絶縁膜の大部分に $\text{SiN}_x$ 膜を用いる構成では、一つの反応室で $\text{SiN}_x$ 膜と $\text{a-Si}$ 膜を交互に積層すると、反応室の内壁から膜の剥がれが生じ、パーティクル発生要因となり、同一反応室での積層膜形成が生産性で有利なことは明らかであっても、実際上は量産に使用することができない。しかし、 $\text{SiO}_x\text{N}_y$ 膜3aは応力を小さくすることが容易であり、 $\text{SiN}_x$ 膜3bに比して密着製が優れるため、積層膜に占める $\text{SiN}_x$ 膜の膜厚を少なくすることができるので、 $\text{SiO}_x\text{N}_y$ 膜3aを導入して積層膜を形成する場合には、同一反応室での形成が十分に可能になる。

【0041】次に、 $\text{a-Si}$ 膜4およびチャネル保護膜5上にたとえば膜厚 $0.05\mu\text{m}$ の低抵抗半導体膜6を成膜し、半導体膜4および低抵抗半導体膜6を加工して、チャネル領域、ソース領域およびドレイン領域を形成する。

【0042】また、ゲート絶縁膜3上にはITO(Indium Tin Oxide)からなる画素電極7が形成される。

【0043】そして、低抵抗半導体膜6のソース領域上には、画素電極7と接続した状態でソース電極8が形成され、ドレイン領域上にはドレイン電極9が形成され、さらに、保護膜10を積層形成する。こうして、ゲート電極2、ゲート絶縁膜3、 $\text{a-Si}$ 膜4、ソース電極8、ドレイン電極9および保護膜10にてスイッチング素子としての薄膜トランジスタ(TFT)11を形成し、能動素子基板12となる。

【0044】また、図2に示すように、絶縁性基板であるガラス基板1の一主面上には、ITOからなる共通電極21が形成され、対向基板22が構成される。

【0045】そして、能動素子基板12の一主面上に全面にたとえば低温キュア型のポリイミド(PI)からなる配向膜25が形成し、また、対向基板23の一主面上に全面にたとえば同様に低温キュア型のPIからなる配向膜26を形成する。また、能動素子基板12と対向基板23との一主面上には、各々の配向膜25、26を所定方向に布などで擦ることにより、ラビングによる配向処理がそれぞれ施される。さらに、能動素子基板12と対向基板23とは互いの一主面側が対向し、かつ、互いの配向膜25、26の配向軸が概略 $90^\circ$ をなすように配置し、これら能動素子基板12と対向基板23との間に液晶27を封入挟持する。

【0046】ここで、能動素子基板12と対向基板23とを組み合わせる際には、配向膜25、26のラビング方向は、良視角方向が正面方向に向くように設定される。そし

て、能動素子基板12と対向基板23の他主面側には、それぞれ偏光板28、29を被着し、液晶表示装置(LCD)30を構成し、能動素子基板12と対向基板23のどちらか一方の他主面側から照明を行なう。

【0047】次に、図3を参照して、上述の液晶表示装置30を製造するプラズマCVD装置31の構成を説明する。

【0048】このプラズマCVD装置31は、中央に真空中でのガラス基板1の搬送を行なう搬送機構を備えた共通室32を有し、この共通室32の周囲を放射状に取り囲むように4つの反応室33~36、加熱室37および2つの搬出入室38、39が配設されている。

【0049】そして、成膜を行なう各反応室33~36には、直径 $150\text{mm}$ の円形高周波電極およびこの円形高周波電極に対向しガラス基板1をクランプするサセプタを備えており、 $\text{SiH}_4$ 、 $\text{H}_2$ 、 $\text{NH}_3$ 、 $\text{N}_2\text{O}$ 、 $\text{N}_2$ 、 $\text{PH}_3$ 、 $\text{NF}_3$ 、および $\text{Ar}$ のガス供給系と、ドライポンプからなる排気系とが接続されている。また、試料であるガラス基板1は加熱したサセプタにクランプされ、ガラス基板1の表面温度が所望の温度となるように制御されている。

【0050】一方、成膜を行なわない共通室32、加熱室37、搬出入室38、39には、 $\text{N}_2$ のガス供給系とドライポンプからなる排気系とが接続されている。そして、ガラス基板1は搬出入室38、39のいずれかに搬入され、共通室32を経て、加熱室37にて加熱され、約10分の加熱後、再び共通室32を経て反応室33に導入される。また、反応室33では、基板温度 $320^\circ\text{C}$ にて膜厚 $0.3\mu\text{m}$ の $\text{SiO}_x\text{N}_y$ 膜3a、膜厚 $0.05\mu\text{m}$ の $\text{SiN}_x$ 膜3b、膜厚 $0.05\mu\text{m}$ の $\text{a-Si}$ 膜4、膜厚 $0.3\mu\text{m}$ の $\text{SiN}_x$ のチャネル保護膜5を積層形成する。

【0051】なお、これらの間、反応室33のサセプタの設定温度は一定に保つ。膜種によって温度を変えることも可能だが、温度安定化を図る待機時間だけスループットが落ちるので現実的ではない。

【0052】そして、ガラス基板1は、三たび共通室32を経て搬出入室38、39のいずれかにより搬出される。なお、反応室34~36は反応室32と同様に $\text{SiO}_x\text{N}_y$ 膜3a、 $\text{SiN}_x$ 膜3b、 $\text{a-Si}$ 膜4および $\text{SiN}_x$ のチャネル保護膜5の4層形成に使用するようにしており、並行処理が行なわれる。

【0053】一方、ゲート絶縁膜3からチャネル保護膜5までの4層を全て同一の反応室33~36で形成する方法は、前述のように同一温度という制約がかかるので、薄膜トランジスタ11の特性ではやや不利となる。特に、チャネル保護膜5の形成中に、活性層である $\text{a-Si}$ 膜4が熱劣化を受けてしまう。そこで、 $\text{SiO}_x\text{N}_y$ 膜3a、 $\text{SiN}_x$ 膜3b、 $\text{a-Si}$ 膜4の3層までを基板温度 $320^\circ\text{C}$ にて同一反応室33~36で積層し、別の反応室33~36で $\text{SiN}_x$ のチャネル保護膜5を基板温度 $300^\circ\text{C}$ で形



成する方法がある。すなわち、図3のプラズマCVD装置に対応させると、2層のゲート絶縁膜3およびa-Si膜4の3層を反応室33で形成し、共通室32を経て反応室35にガラス基板1を移動させてSiN<sub>x</sub>のチャネル保護膜5を形成し、その後共通室32を経て搬出させる。同様の処理を反応室34および反応室36でも実施して並行処理する。この場合、ゲート絶縁膜3からチャネル保護膜5の4層を一括して形成するものに比較すると生産性では若干劣るが、特性に優れた薄膜トランジスタ11の製造が可能になる。

【0054】いずれの場合も、SiO<sub>x</sub>N<sub>y</sub>膜3aを用いることで、ゲート絶縁膜3と半導体膜4との積層形成を同一の反応室33~36で実質的に行なえるので、従来の個別の反応室による積層膜形成に比べて生産性が向上する。

【0055】次に、SiO<sub>x</sub>N<sub>y</sub>膜3aの形成プロセスについて説明する。

【0056】図3に示すプラズマCVD装置31で反応室33~36においてガラス基板1を加熱したサセプタにクランプさせ320℃に調節する。なお、ガラス基板1の温度は300℃から360℃の範囲であることが望ましい。そして、ガラス基板1に対向するシャワー電極から、原料ガスとしてSiH<sub>4</sub>、N<sub>2</sub>OおよびN<sub>2</sub>をそれぞれ20、120、400sccm導入し、排気バルブの開度を調節して気圧をたとえば1、2Torrに調圧する。この状態で、13.56MHzの高周波電力200Wを印加するとシャワー電極およびサセプタ間に放電が生じ、SiO<sub>x</sub>N<sub>y</sub>膜3aがガラス基板1上に堆積される。

【0057】なお、ガス流量は堆積する膜の組成に大きく影響する。すなわち、N<sub>2</sub>Oは主にO源として、N<sub>2</sub>はN源として働くので、これらガス流量の調節によって所望の組成の膜を得ている。また、成膜時の気圧は0.5~5Torr程度の広範囲で成膜が可能であるが、この気圧も膜の組成に大きく影響する。一般に、高压で成膜するほどNが減ってOが多く取り込まれる傾向がある。さらに、サセプタとシャワー電極との電極間隔は10mmから40mmの範囲で、膜厚の均一性に優れる間隔を選択すると良く、最適の電極間隔は圧力との相関が強く、概ね圧力に反比例し、高压で成膜する場合ほど狭い電極間隔が必要となる。実際、上述の成膜条件では20mm程度が適当である。また、放電の周波数をたとえば27MHz、41MHzあるいは54MHzと高くする場合にも狭い電極間隔が必要となる。

【0058】また、SiO<sub>x</sub>N<sub>y</sub>膜3aの原料ガスにはN<sub>2</sub>の代わりにNH<sub>3</sub>を用いることも可能であり、NH<sub>3</sub>はN<sub>2</sub>に比較して分解が容易であるため、少量でも膜にNが取り込まれる。さらに、NH<sub>3</sub>中のHも膜に取り込まれてN<sub>2</sub>系とは異なるエッチング速度の膜が得られるので、使い分けることでエッチング速度の制御が可能になる。

【0059】一方、原料ガスにSiH<sub>4</sub>の代わりに有機シランを用いると、堆積表面での流動性によって、ステップカバレッジに優れたSiO<sub>x</sub>N<sub>y</sub>膜3aが得られる。たとえばボトムゲート薄膜トランジスタにする場合には、ゲート電極2から連続する図示しない配線にテーパ加工を施さなくても十分な被覆がなされ、完全ではないまでも平坦化ができる。もちろんトップゲート薄膜トランジスタの場合でもステップカバレッジに優れたゲート絶縁膜3は有効である。なお、有機シランとしては、具体的にはTEOS (Tetraethylorthosilicate: Si[OC<sub>2</sub>H<sub>5</sub>]<sub>4</sub>)、TMS (Trimethylsilicate: SiH[OCH<sub>3</sub>]<sub>3</sub>)、TRIES (Triethylsilicate: SiH[OC<sub>2</sub>H<sub>5</sub>]<sub>3</sub>)、Hexamethyldisilazane: [CH<sub>3</sub>]<sub>2</sub>SiNH<sub>2</sub>Si[CH<sub>3</sub>]<sub>2</sub>、Hexamethyldisilane: [XH<sub>3</sub>]<sub>2</sub>SiSi[CH<sub>3</sub>]<sub>2</sub>、Hexamethyldisiloxane: [CH<sub>3</sub>]<sub>2</sub>SiOSi[CH<sub>3</sub>]<sub>2</sub>、などが良く、特にTEOSは半導体の分野ではSiO<sub>2</sub>膜の原料として最も広く知られている材料であり、安価に入手可能である。なお、これらの原料ガスのO源としてはN<sub>2</sub>Oでは酸化能力が弱いのでO<sub>2</sub>を用いることが望ましく、窒化能力もO<sub>2</sub>の酸化能力に対抗する必要があるためN<sub>2</sub>よりもNH<sub>3</sub>の方が良く、N<sub>2</sub>OやN<sub>2</sub>の場合には大流量が必要となる。

【0060】また、有機シランの供給にはバブリングが必要な場合が多いが、このバブリングにはN<sub>2</sub>またはHe、Arなどの不活性ガスを用いる。半導体分野において、TEOSを代表とする有機シランから作製するSiO<sub>2</sub>膜では膜中の水分、あるいは、後から水を取り込む吸湿性がしばしば問題となる。薄膜トランジスタ11でもゲート絶縁膜3に水分が含まれているものを用いれば、薄膜トランジスタ11の安定性などに不具合を生ずる。ところが、この発明のように膜中にNを導入すれば、ステップカバレッジ性の良好さを維持して、かつ、水の諸問題を解決できる。

【0061】上述のものでも、不純物と水のブロックを両立させるにはSiO<sub>x</sub>N<sub>y</sub>膜3aの組成に最も効果的な範囲があり、SiO<sub>x</sub>N<sub>y</sub>膜3aはSi、N、OおよびHを主成分とし、組成はN/Si比が0.1~0.8であり、O/SiがN/Siよりも多いと良い。さらに、この範囲内でも、絶縁特性はワイドギャップの広いSiO<sub>2</sub>膜3bに近い方が優れるので、N/Si比が0.3~0.5、O/Si比が1.2~1.5の範囲とすることが望ましい。具体的には、たとえばSiO<sub>2</sub>が1.25でNが0.45程度の組成が適当である。これら組成の調整には、ガスの流量、圧力、放電パワーおよび電極間隔の少なくともいずれかを変えることによって行なう。

【0062】一方、活性層であるa-Si膜4と接するSiN<sub>x</sub>膜3bの組成は、Si、NおよびHを主成分とし、組成はN/Si比が1.2以上とするが、薄膜トランジスタ11の信頼性を考慮した場合、科学量論的組成の

1. 33以上とするとお好ましい。SiN<sub>x</sub>膜3b中には不純物としてOが取り込まれるが、Oの含有量を $5 \times 10^{19}$  atoms/cm<sup>2</sup>以下としないと、a-Si膜4との良好な界面が形成できない。また、SiO<sub>x</sub>N<sub>y</sub>膜3aの上にSiN<sub>x</sub>膜3bを形成するので、特に、同一の反応室33~36にて成膜する場合には、SiO<sub>x</sub>N<sub>y</sub>膜3aの成膜後にN<sub>2</sub>Oを速やかに除去するよう注意が必要である。この場合、短時間で除去するには高真空排気よりもたとえばN<sub>2</sub>ガスによるバージ方式が効果的である。ただし、O含有量を少なくするほど良いというものではなく、バ

ージ時間を長く取るとは生産性に影響するので、薄膜トランジスタ11の特性に影響のない範囲に抑えればよい。また、SiO<sub>x</sub>N<sub>y</sub>膜3aとSiN<sub>x</sub>膜3bとを同一の反応室33~36にて成膜する場合の間のバージ時間は、それぞれ5秒以上、60秒以下が好ましく、SiN<sub>x</sub>膜3b中のO含有量の適切な範囲は、 $5 \times 10^{19}$  atoms/cm<sup>2</sup>以上 $5 \times 10^{20}$  atoms/cm<sup>2</sup>以下である。

【0063】また、SiO<sub>x</sub>N<sub>y</sub>膜3aの膜厚を決めるものとしてO/SiとN/Siとを規定したが、この他にHの含有量が成膜温度や圧力で大幅に変化する。これらSi、N、Oの各組成とH含有量をも含めた膜質を規定する量として屈折率があり、SiO<sub>x</sub>N<sub>y</sub>膜3aの屈折率は1.49~1.65の範囲であることが望ましい。そして、Si、NおよびOの組成比が前述の値を満足しても、たとえばHが多量に含まれる膜は絶縁特性に劣る。このような構造が粗な膜は屈折率が小さいので、屈折率を上述の範囲におさめることで良好な効果が得られる。なお、この屈折率は波長632.8nmでの値である。

【0064】さらに、SiO<sub>x</sub>N<sub>y</sub>膜3aの全部または一部に、PまたはBをドーピングすると、PSG、BS

層を非ドーピング層でサンドイッチすることも効果的であり、SiO<sub>x</sub>N<sub>y</sub>膜3aへのPのドーピングは原料ガスにPH<sub>3</sub>を添加することで容易であり、Bをドーピングする場合には、B<sub>2</sub>H<sub>6</sub>またはBF<sub>3</sub>などを用いればよい。ただし、これらPあるいはBのドーピングを施した膜を形成する反応室33~36と、a-Si層4を形成する反応室33~36とは別にするのが好ましい。

【0066】上述のように、ゲート絶縁膜3を構成するSiO<sub>x</sub>N<sub>y</sub>膜3aとSiN<sub>x</sub>膜3bの膜厚は、SiO<sub>x</sub>N<sub>y</sub>膜3aの膜厚が200nm以上450nm以下であり、SiN<sub>x</sub>膜3bの膜厚が5nm以上200nm以下とするのが好ましい。すなわち、絶縁性はSiO<sub>x</sub>N<sub>y</sub>膜3aに、a-Si膜4との界面特性はSiN<sub>x</sub>膜3bに分担させるものであるから、SiN<sub>x</sub>膜3bはSiO<sub>x</sub>N<sub>y</sub>膜3aよりも薄い膜とする方が好ましいものであり、両者を合わせたゲート絶縁膜3の全体の膜厚は300nm~500nmの範囲が適正である。

【0067】次に、他の実施例を図4を参照して説明する。この図4に示す実施例も図1に示す実施例と同様に図2に示す液晶表示装置30の一部を構成する。

【0068】この図4に示す実施例は、図1に示す実施例において、ゲート絶縁膜3として、ゲート電極2を覆うように、膜厚0.15μmの酸化シリコン(SiO<sub>2</sub>)膜3cを形成し、このSiO<sub>2</sub>膜3c上に膜厚0.15μmの窒素化シリコン(SiO<sub>x</sub>N<sub>y</sub>)膜3dを積層形成し、このSiO<sub>x</sub>N<sub>y</sub>膜3d上に膜厚0.05μmの窒素化シリコン(SiN<sub>x</sub>)膜3eを形成し、そして、膜厚0.05μmのa-Si膜4を形成したものである。

【0069】このように、ゲート絶縁膜3の一部にフイドギャップの広いSiO<sub>2</sub>膜3cを用いることで絶縁性、耐圧をさらに改善し、一方で、SiO<sub>2</sub>膜の弱点である吸湿性や不純物イオンの可動性をSiO<sub>x</sub>N<sub>y</sub>膜3dとの積層でカバーし、さらには、a-Si膜4との界面特性はSiN<sub>x</sub>膜3eで確保している。

【0070】ここで、この薄膜トランジスタ11のゲート絶縁膜3、a-Si膜4およびチャネル保護膜5の積層形成のプロセスについて説明する。

【0071】まず、SiO<sub>2</sub>膜3cの形成は、常圧CVD、減圧CVD、プラズマCVDあるいはRFスパッタなどの任意の方法により形成する。また、次に形成するSiO<sub>x</sub>N<sub>y</sub>膜3dとの間に真空を維持するといったことは特に必要とせず、SiO<sub>x</sub>N<sub>y</sub>膜3d、SiN<sub>x</sub>膜3e、a-Si膜4およびチャネル保護膜5は、図1に示す実施例と同様に、たとえばプラズマCVDで形成する。

【0072】また、SiO<sub>2</sub>膜3cの形成に常圧CVD法、減圧CVDの熱CVDプロセスを用いると、ガラス基板1を概ね400℃以上に加熱必要があるが、パーティクル発生が少なく、ピンホール欠落の少ないゲート絶縁膜3が得られる。具体的には、たとえば430℃に加

熱したガラス基板1にSiH<sub>4</sub>、O<sub>2</sub>およびN<sub>2</sub>をそれぞれ100sccm、2slm、20slm導入すると、SiO<sub>x</sub>膜3cが形成される。この場合のN<sub>2</sub>は希釈ガスであって成膜に直接は寄与しない。

【0073】さらに、常圧CVD法で原料ガスにSiH<sub>4</sub>、膜の代わりに有機シランを用いると、堆積表面での流動性によって、ステップカバレッジに優れたSiO<sub>x</sub>膜が得られる。たとえばボトムゲート薄膜トランジスタの場合には、ゲート電極2から連続した図示しない配線にテーパ加工を施さなくても、十分な被覆がなされ、完全ではないまでも平坦化できる。もちろんトップゲート薄膜トランジスタの場合でもステップカバレッジに優れたゲート絶縁膜3は有効である。なお、有機シランの具体例としては、前述のTEOS、TMS、TRIESなどであり、これらの原料ガスのO源としてはO<sub>2</sub>だけでは参加能力が弱いのでオゾナイザで育成させたO<sub>3</sub>をも用いることが必要である。なお、常圧CVD法で有機シランから作製したSiO<sub>x</sub>膜は特に吸湿性に富んでいるので、薄膜トランジスタに適用する場合、耐水性の高いSiO<sub>x</sub>N<sub>y</sub>膜3dとの組み合わせが必要である。

【0074】次に、SiO<sub>x</sub>膜3cの形成にプラズマCVDを用いる場合について説明する。この場合も、前述のプラズマCVD装置31で、反応室33~36において加熱したサセプタにガラス基板1をクランプさせて320℃に調節する。そして、ガラス基板1の温度は300℃から360℃の範囲であることが望ましい。この場合、熱CVDに比べて低温にて形成でき、ガラス基板1へのダメージが少ない点が有利である。

【0075】そして、ガラス基板1に対向するシャワー電極から、原料ガスとしてSiH<sub>4</sub>、N<sub>2</sub>、Oをそれぞれ20sccm、800sccm導入し、たとえば排気バルブの開度を調節して気圧をたとえば1.2Torrに調圧する。ここで13.56MHzの高周波電力300Wを印加すると放電が生じ、SiO<sub>x</sub>膜3cがガラス基板1上に堆積される。また、ガス流量は膜室がSiリッチにならないよう、SiH<sub>4</sub>に対してN<sub>2</sub>、Oを20倍以上供給することが望ましい。

【0076】また、成膜時の圧力は0.5~5Torr程度の広範囲で成膜が可能だが、低圧成膜の方が膜中へのHの取り込みが少なく良質な絶縁膜となるので0.6~1.8Torrが適当である。そして、サセプタとシャワー電極との間の電極間隔は10mmから40mmの範囲で、膜厚の均一性に優れた間隔を選択すると良い。なお、最適の電極間隔は圧力との相関が強く、概ね圧力に反比例し、高圧で成膜する場合ほど狭い電極間隔が必要となる。

【0077】そして、常圧CVDと同様、プラズマCVDにおいても、SiO<sub>x</sub>膜3cの原料ガスにSiH<sub>4</sub>の代わりに有機シランを用いると、堆積表面での流動性によって、ステップカバレッジに優れたSiO<sub>x</sub>N<sub>y</sub>膜3dが

得られる。この場合の有機シランの具体例は前述のTEOS、TMS、TRIESなどがある。なお、これらの原料ガスのO源としてはN<sub>2</sub>、Oでは参加能力が弱いのでO<sub>2</sub>が好ましく、やはり吸湿性が高いのでSiO<sub>x</sub>N<sub>y</sub>膜3dとSiO<sub>x</sub>膜3eとの組み合わせが必要となる。

【0078】次に、上述の方法によって形成したSiO<sub>x</sub>膜3c上にSiO<sub>x</sub>N<sub>y</sub>膜3dを形成するときは以下の点で注意する必要がある。このSiO<sub>x</sub>膜3cは、形成方法によって程度の差があるものの、成膜終了時点においてすでに膜中に水分を内包しており、プラズマCVDよりは常圧CVD、SiH<sub>4</sub>系よりは有機シラン系となるほど水を含んでいる。また、大気に曝した場合には吸湿もする。したがって、SiO<sub>x</sub>N<sub>y</sub>膜3dの形成に際しては事前にこの水分を放出させることが必要である。この水分を放出させる方法としては、真空または10Torr以下の減圧雰囲気中でアニールし、その後、大気に曝することなくSiO<sub>x</sub>N<sub>y</sub>膜3dで覆ってしまうと良い。なお、SiO<sub>x</sub>膜3cとSiO<sub>x</sub>N<sub>y</sub>膜3dの形成が別装置であるときはもちろんのこと、同じ装置で連続形成するときにも一度アニール処理でSiO<sub>x</sub>膜3c中の水分を追い出すことが望ましい。また、アニール温度はSiO<sub>x</sub>N<sub>y</sub>膜3dの形成温度よりも10℃~40℃高温で行なうことが好ましく、1~2分でもガラス基板1の昇温だけなら可能であるが水分脱離に関しては不十分であるので、アニール時間は5分以上できれば10分以上必要である。

【0079】一方、SiO<sub>x</sub>膜3cの組成は、Si、OおよびHを主成分とし、SiO<sub>x</sub>膜中には形成方法によってはNが取り込まれるが、良好な絶縁特性を得るためにはNの含有量を5×10<sup>19</sup>atoms/cm<sup>3</sup>以下とすべきである。

【0080】また、ゲート絶縁膜3を構成するSiO<sub>x</sub>膜3c、SiO<sub>x</sub>N<sub>y</sub>膜3dとSiN<sub>x</sub>膜3eの膜厚は、SiO<sub>x</sub>膜3cとSiO<sub>x</sub>N<sub>y</sub>膜3dの合計膜厚が200nm以上450nm以下であり、かつ、SiO<sub>x</sub>N<sub>y</sub>膜3dの膜厚が100nm以上、SiN<sub>x</sub>膜3eの膜厚が5nm以上200nm以下とするのが好ましい。そして、絶縁性はSiO<sub>x</sub>膜3cとSiO<sub>x</sub>N<sub>y</sub>膜3dとで、耐水性と不純物イオンのブロックをSiO<sub>x</sub>N<sub>y</sub>膜3dで、a-Si膜4との界面特性はSiN<sub>x</sub>膜3eに分担させる。また、SiO<sub>x</sub>膜3cは絶縁性が確実でピンホール欠陥密度が少ないため、絶縁性が確実になる。さらに、SiO<sub>x</sub>膜3c、SiO<sub>x</sub>N<sub>y</sub>膜3dとSiN<sub>x</sub>膜3eの全部を合わせたゲート絶縁膜3の全体の膜厚は、300nm~500nmの範囲が適正である。

【0081】また、他の実施例を図5を参照して説明する。この図5に示す実施例も図1に示す実施例と同様に図2に示す液晶表示装置30の一部を構成する。

【0082】この図5に示す実施例は、図1に示す実施例において、薄膜トランジスタ11の形状に特徴があり、チャンネル保護膜5の幅はゲート電極2に裏面露光を用い

て自己整合しているものである。

【0083】そして、ゲート絶縁膜3の構成は、図1に示す実施例と同様に $\text{SiO}_x\text{N}_y$ 膜3aと $\text{SiN}_x$ 膜3bの積層である。

【0084】この様にチャネル保護膜5の幅、すなわちチャネル長とゲート電極2の幅を一致させた薄膜トランジスタ11は、ゲート・ソース間の寄生容量が少ない利点がある。しかし、チャネル保護膜5の長さよりゲート電極2の大きい薄膜トランジスタに比べて、ガラス基板1からの汚染に弱い。すなわち、ガラス基板1からたとえばNaなどの不純物イオンが拡散しても、チャネル保護膜5は大きなゲート電極2によって保護されて影響を受けない、または軽減されている。これに対して自己整合型の薄膜トランジスタ11では、チャネル保護膜5に不純物イオン拡散に対して強い構造にしておく必要があるが、 $\text{SiO}_x\text{N}_y$ 膜3aと $\text{SiN}_x$ 膜3bの積層型のゲート絶縁膜3とすることで、薄膜トランジスタ11の特性の信頼性向上に、特に顕著な効果が現れる。もちろん、PやBを $\text{SiO}_x\text{N}_y$ 膜3aの一部にドーピングすることで不純物に対する効果がより向上する。

【0085】さらに、他の実施例を図6を参照して説明する。この図6に示す実施例も図4に示す実施例と同様に図2に示す液晶表示装置30の一部を構成する。

【0086】この図6に示す実施例は、図4に示す実施例において、チャネル保護膜5の幅はゲート電極2に裏面露光を用いて自己整合しているものである。

【0087】そして、ゲート絶縁膜3の構成は、 $\text{SiO}_x$ 膜3c、 $\text{SiO}_x\text{N}_y$ 膜3dおよび $\text{SiN}_x$ 膜3eを積層したもので、図5に示す実施例と同様の効果を有している。

【0088】上記いずれの実施例においても、歩留まりが向上するため、低コスト化につながり、また、薄膜トランジスタ11の特性が安定化して、より厳しい駆動条件下での使用を可能とする。

【0089】なお、上記実施例では液晶表示装置について\*

＊で説明したが、a-Si密着センサなどにも適用できる。

【0090】

【発明の効果】本発明によれば、ゲート絶縁膜として、酸化シリコン膜および窒化シリコン膜を用い、この窒化シリコン膜が非単結晶シリコンに接しているため、酸化シリコン膜はワイドギャップで絶縁性に優れ、不純物イオンブロック効果、耐水性を期待することができるとともに、窒化シリコン膜は非単結晶シリコンとの界面性も良く、特性を向上できる。

【図面の簡単な説明】

【図1】本発明の一実施例を用いたアクティブマトリクス型液晶表示素子に用いる薄膜トランジスタを示す断面図である。

【図2】同上液晶表示装置の構成を示す断面図である。

【図3】同上液晶表示装置を製造するプラズマCVD装置を示す構成図である。

【図4】同上他の実施例のアクティブマトリクス型液晶表示素子に用いる薄膜トランジスタを示す断面図である。

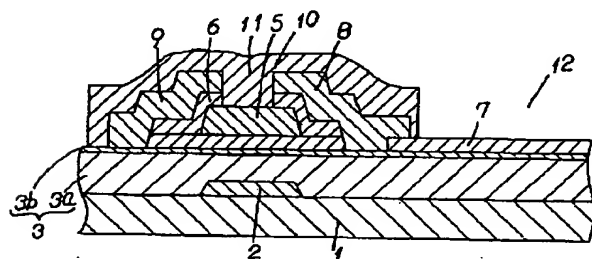
【図5】同上また他の実施例のアクティブマトリクス型液晶表示素子に用いる薄膜トランジスタを示す断面図である。

【図6】同上さらに他の実施例のアクティブマトリクス型液晶表示素子に用いる薄膜トランジスタを示す断面図である。

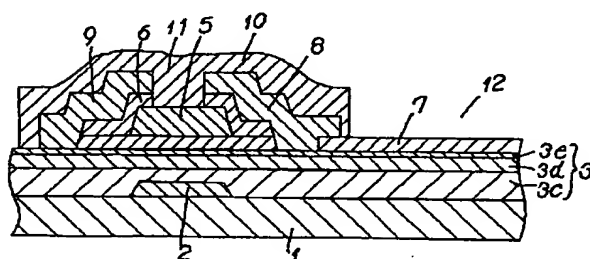
【符号の説明】

- 3 ゲート絶縁膜
- 3a 酸化シリコン膜
- 3b 窒化シリコン膜
- 3c 酸化シリコン膜
- 3d 酸化シリコン膜
- 3e 窒化シリコン膜
- 4 活性層としてのa-Si膜
- 11 スイッチング素子としての薄膜トランジスタ

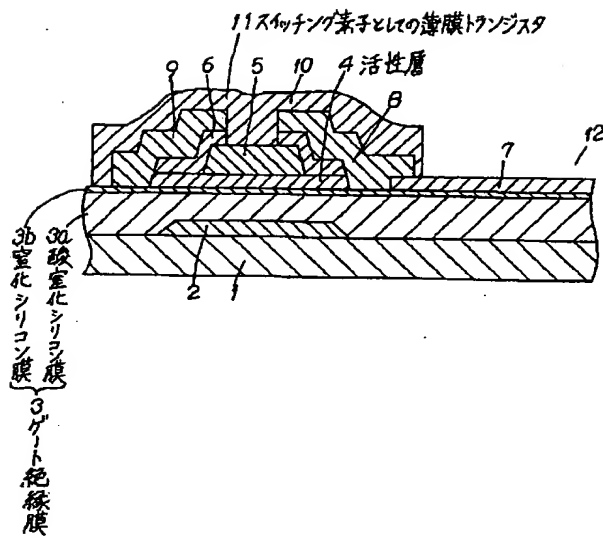
【図5】



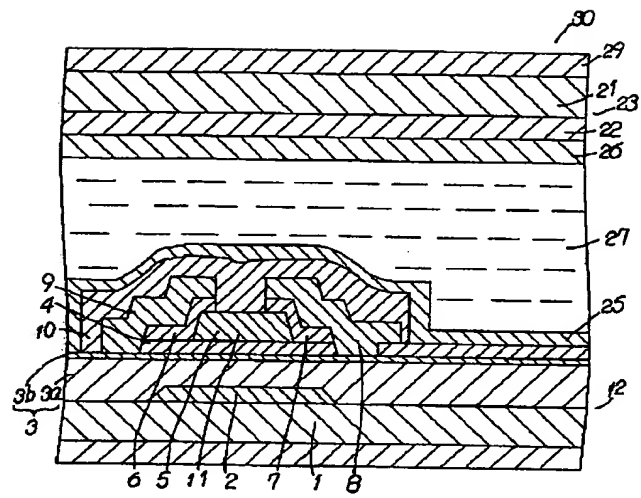
【図6】



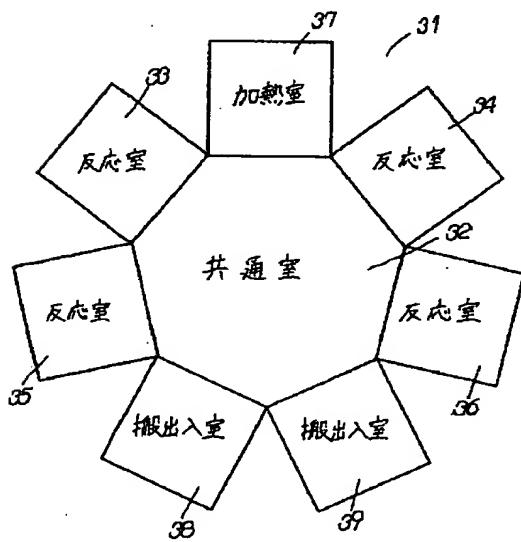
【図1】



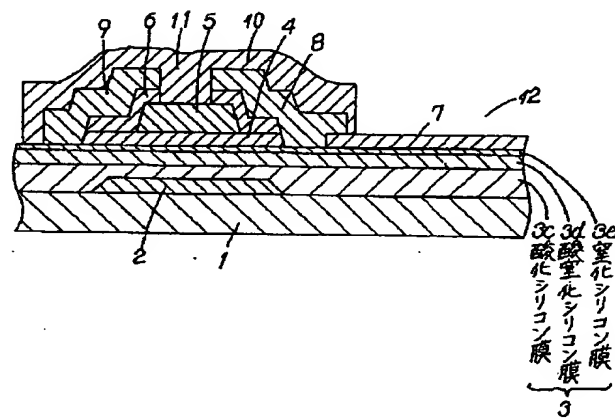
【図2】



【図3】



【図4】



(19) Japanese Patent Office (JP)

(12) Laid-Open disclosure public patent bulletin (A)

(11) Patent Application Laid-Open Disclosure No.: Hei 8-254713

(43) Laid-Open Disclosure Date: October 1, 1996

(51) Int. Cl.<sup>6</sup>: G02F 1/136  
H01L 29/786

Request for Examination: Not made

Number of Claim: 23

(21) Application No.: Hei 7-56939

(22) Application Date: March 16, 1995

(71) Applicant: 000003078

TOSHIBA CORPORATION

72-ban-chi, Horikawa-cyo, Saiwai-ku, Kawasaki-shi,  
Kanagawa-ken

(72) Inventor: Kaichi FUKUDA

8, Shin-Sugita-cyo, Isogo-ku, Yokohama-shi,  
Kanagawa-ken

c/o TOSHIBA YOKOHAMA OFFICE Co., LTD

(74) Attorney: Agent Jyo KABASAWA (and another two agents)

(54) [Title of the Invention]

THIN FILM TRANSISTOR, METHOD OF MANUFACTURING THEREOF AND LIQUID  
CRYSTAL DISPLAY ELEMENT

(57) [Summary]

[Problem]

To provide a thin film transistor having excellent characteristic, stability and insulation property with high-yield and good process consistency.

[Constitution]

A gate electrode 2 is formed on a main surface of a glass substrate 1. A silicon oxynitride ( $\text{SiO}_x\text{N}_y$ ) film 3a and silicon nitride ( $\text{SiN}_x$ ) film 3b are laminated and formed on the gate electrode 2. A gate insulating film 3 is formed by these two layers. An a-Si film 4 is laminated and formed on the gate insulating film 3. An  $\text{SiN}_x$  film is laminated on the a-Si film 4 to form a channel protection film 5. A pixel electrode 7 consisting of ITO (indium tin oxide) is formed on the gate insulating film 3. A source electrode 8 is formed on the source region of a low-resistance semiconductor film 6 in the state of connecting this electrode to the pixel electrode 7. A drain electrode 9 is formed on a drain region and a protection film 10 is laminated and formed thereon, by which an active element substrate 12 is obtained.

[Scope of Claim]

[Claim 1]

A thin film transistor comprising: an active layer formed on a gate insulating film, the active layer is made from non-single crystal silicon, wherein the gate insulating film is made from a lamination film of a silicon oxynitride film and a silicon nitride film, and wherein the silicon nitride film is in contact with the non-single crystal silicon.

[Claim 2]

A thin film transistor according to claim 1, wherein the silicon oxynitride film is made from an element selected from the group consisting of Si, N, O, H as its principal constituent, the N concentration of N to Si ratio of the silicon oxynitride film is set to not less than 0.1 and less than 0.8 and the N concentration is lower than the O concentration, and wherein the silicon nitride film is made from a group consisting of Si, N, and H as its principal constituent, a N concentration of N to Si ratio of the silicon nitride film is set to not less than 1.2 and less than 1.6, and the O concentration is less than  $5 \times 10^{20}$  atoms/cm<sup>3</sup>.

[Claim 3]

A thin film transistor according to any one of claim 1 and claim 2, wherein the silicon oxynitride film is at least partly doped with P or B.

[Claim 4]

A thin film transistor according to any one of claim 1 and claim 3, wherein the refractive index of the silicon oxynitride film at a wavelength of 632.8 nm is not less than 1.49 and less than 1.65.

[Claim 5]

A thin film transistor according to any one of claim 1 and claim 4, wherein the film thickness of the silicon oxynitride film is set to not less than 200 nm and less than 450 nm, and wherein the film thickness of the silicon nitride film is set to not less than 5 nm and less than 200 nm.

[Claim 6]

A thin film transistor comprising: an active layer formed over a gate insulating film, the active layer is made from non-single crystal silicon, wherein the gate insulating film is made from a lamination film of a silicon oxide film, silicon oxynitride film, and a silicon nitride film, wherein the silicon oxynitride film is disposed so as to cover the upper portion of the silicon oxide film, and wherein the silicon nitride film is in contact with the non-single crystal silicon.

[Claim 7]

A thin film transistor according to claim 6, wherein the silicon oxide film is at least partly doped with P or B.

[Claim 8]

A thin film transistor according to any one of claim 6 and claim 7, wherein the silicon oxide film is made from an element selected from the group consisting of Si, O, and H as its principal constituent, and wherein the N concentration is set to less than  $5 \times 10^{20}$  atoms/cm<sup>3</sup>.  
[Claim 9]

A thin film transistor according to any one of claim 6 and claim 8, wherein the sum of the film thickness of the silicon oxide film and the silicon oxynitride film is set to not less than 200 nm and less than 450 nm, the film thickness of the silicon oxynitride film is not less than 100 nm, and the film thickness of the silicon nitride film is set to not less than 5 nm and less than 200 nm.  
[Claim 10]

A thin film transistor of a reversed stagger type, comprising: a gate insulating film formed over a gate electrode; an active layer formed over the gate insulating film, the active layer is made from non-single crystal silicon; and a channel protection film formed over the active layer, wherein the gate insulating film is made from a lamination film of a silicon oxynitride film and a silicon nitride film, wherein the silicon nitride film is in contact with the non-single crystal silicon, and wherein the channel protection film is formed in a self-aligning manner with respect to the gate electrode.  
[Claim 11]

A thin film transistor of a reversed stagger type, comprising: a gate insulating film formed over a gate electrode; an active layer formed over the gate insulating film, the active layer is made from non-single crystal silicon; and a channel protection film formed over the active layer, wherein the gate insulating film is made from a lamination film of a silicon oxide film, a silicon oxynitride film, and silicon nitride film, wherein the silicon oxynitride film is disposed so as to cover the upper portion of the silicon oxide film, wherein the silicon nitride film is in contact with the non-single crystal silicon, and wherein the channel protection film is formed in a self-aligning manner with respect to the gate electrode.  
[Claim 12]

A method of manufacturing the thin film transistor: wherein the thin film transistor comprises an active layer formed over a gate insulating film, the active layer is made from non-single crystal silicon, wherein the gate insulating film is made from a lamination film of a silicon oxynitride film and a silicon nitride film, the silicon nitride film is in contact with the non-single crystal silicon, and wherein the silicon oxynitride film is formed by plasma CVD using a mixed gas of SiH<sub>4</sub>, N<sub>2</sub>O, N<sub>2</sub>, or NH<sub>3</sub> as a raw material gas.  
[Claim 13]

A method of manufacturing a thin film transistor: wherein the thin film transistor comprises an active layer formed over the gate insulating film, the active layer is made from non-single crystal silicon, wherein the gate insulating film is made from a lamination



film of a silicon oxynitride film and a silicon nitride film and the silicon nitride film is in contact with the non-single crystal silicon, and wherein the silicon oxynitride film is formed by plasma CVD using a mixed gas of organic silane, O<sub>2</sub>, N<sub>2</sub> or NH<sub>3</sub> as a raw material gas.  
[Claim 14]

A method of manufacturing a thin film transistor, wherein the thin film transistor comprises an active layer formed over a gate insulating film and the active layer is made from non-single crystal silicon, wherein the gate insulating film is made from a lamination film of a silicon oxynitride film and a silicon nitride film, the silicon nitride film is in contact with the non-single crystal silicon, and wherein the silicon oxynitride film, the silicon nitride film and the non-single crystal silicon are successively formed in a same reaction chamber by plasma CVD.  
[Claim 15]

A method of manufacturing a thin film transistor, wherein the thin film transistor comprises an active layer formed over a gate insulating film in which the active layer is made from non-single crystal silicon and a protection film made from an inorganic insulating film, wherein the gate insulating film is made from a lamination film of a silicon oxynitride film and silicon nitride film, and the silicon nitride film is in contact with the non-single crystal silicon, and wherein the silicon oxynitride film, the silicon nitride film, the non-single crystal silicon and the inorganic insulating film are successively formed in a same reaction chamber by plasma CVD.  
[Claim 16]

A method of manufacturing a thin film transistor, wherein the thin film transistor comprises an active layer formed over a gate insulating film, and the active layer is made from non-single crystal silicon, wherein the gate insulating film is made from a lamination film of a silicon oxide film, a silicon oxynitride film and a silicon nitride film, the silicon oxynitride film is disposed so as to cover the upper portion of the silicon oxide film and the silicon nitride film is in contact with the non-single crystal silicon, and wherein the silicon oxide film is formed by normal pressure CVD using SiH<sub>4</sub> and O<sub>2</sub> as its principal raw material gas and using N<sub>2</sub> as a diluted gas.  
[Claim 17]

A method of manufacturing a thin film transistor, wherein the thin film transistor comprises an active layer formed over a gate insulating film, the active layer is made from non-single crystal silicon, wherein the gate insulating film is made from a silicon oxide film, silicon oxynitride film, and a silicon nitride film, the silicon oxynitride film is disposed so as to cover the upper portion of the silicon oxide film, and the silicon nitride film is in contact with the non-single crystal silicon, and wherein the silicon oxide film is formed by normal pressure CVD using organic silane, O<sub>3</sub>, and O<sub>2</sub> as

its principal raw material gas, and using N<sub>2</sub> as a diluted gas.

[Claim 18]

A method of manufacturing a thin film transistor, wherein the thin film transistor comprises an active layer formed over a gate insulating film, the active layer is made from non-single crystal silicon, wherein the gate insulating film is made from a lamination film of a silicon oxide film, a silicon oxynitride film and silicon nitride film, the silicon oxynitride film is disposed so as to over the upper portion of the silicon oxide film, and the silicon nitride film is in contact with the non-single crystal silicon, and wherein the silicon oxide film is formed by plasma CVD using SiH<sub>4</sub> and N<sub>2</sub>O as its principal raw material gas.

[Claim 19]

A method of manufacturing a thin film transistor, wherein the thin film transistor comprises an active layer formed over a gate insulating film, the active layer is made from non-single crystal silicon, wherein the gate insulating film is made from a lamination film of a silicon oxide film, a silicon oxynitride film and silicon nitride film, the silicon oxynitride film is disposed so as to cover the upper portion of the silicon oxide film, and the silicon nitride film is in contact with the non-single crystal silicon, and wherein the silicon oxide film is formed by plasma CVD using organic silane and O<sub>2</sub> as its principal raw material gas.

[Claim 20]

A method of manufacturing a thin film transistor, wherein the thin film transistor comprises an active layer formed on a gate insulating film over a substrate, the active layer is made from non-single crystal silicon, wherein the gate insulating film is made from a lamination film of a silicon oxide film, a silicon oxynitride film and a silicon nitride film, the silicon oxynitride film is disposed so as to cover the upper portion of the silicon oxide film, and the silicon nitride film is in contact with the non-single crystal silicon, and wherein the substrate on which the silicon oxide film is formed is annealed under 10 Torr or less of a vacuum or a low pressure atmosphere to form a silicon oxynitride film without being exposed into the air.

[Claim 21]

A method of manufacturing a thin film transistor, wherein the thin film transistor comprises an active layer formed on a gate insulating film over a substrate, the active layer is made from non-single crystal silicon, wherein the gate insulating film is made from a lamination film of a silicon oxide film, a silicon oxynitride film and a silicon nitride film, the silicon oxynitride film is disposed so as to cover the upper portion of the silicon oxide film, and the silicon nitride film is in contact with the non-single crystal silicon, and wherein the silicon oxynitride film, the silicon nitride film and the non-single crystal silicon are successively formed in

a same reaction chamber by plasma CVD.

[Claim 22]

A method of manufacturing a thin film transistor, wherein the thin film transistor comprises an active layer formed on a gate insulating film over a substrate in which the active layer is made from non-single crystal silicon and a protection film made from an inorganic insulating film is formed on the surface thereof, wherein the gate insulating film is made from a lamination film of a silicon oxide film, a silicon oxynitride film and a silicon nitride film, the silicon oxynitride film is disposed so as to cover the upper portion of the silicon oxide film, and the silicon nitride film is in contact with the non-single crystal silicon, and wherein the silicon oxynitride film, the silicon nitride film, the non-single crystal silicon and the inorganic insulating film are successively formed in a same reaction chamber by plasma CVD.

[Claim 23]

A liquid crystal display element uses any one of the thin film transistors as claimed in claim 1 and claim 11 as a switching element.

[Detailed Description of the Invention]

[0001]

[Industrial Field of the Invention]

The present invention relates to a thin film transistor using non-single crystal silicon for an active layer, to a method of manufacturing thereof and to a liquid crystal display element.

[0002]

[Related Art]

In recent years, a display element using a liquid crystal with large-capacity and high-density had been enhanced in order to accomplish graphic displaying, television displaying and the like. Therefore, so-called twisted nematic (TN) type active matrix (AM) liquid crystal display element (LCD) has been attracting much attentions, comprising a structure: wherein two substrates in which orientation treatment had been already carried out by rubbing, respectively, are disposed so that these substrates are opposing each other at an angle of 90 °C, and wherein an nematic type liquid crystal composition is interposed between the parallel-disposed substrates.

[0003]

Further, in order to realize a high-contrast display without arising cross talk, a method of driving and controlling respective pixels by switching a semiconductor is employed in this active matrix liquid crystal display element. For the good reason that this semiconductor switching can allow transmission type displaying and that a large area substrate can be easily fabricated, an amorphous silicon (a-Si) type thin film transistor (TFT), which is disposed over a transparent insulating substrate, is used. For the thin film transistor, a thin film transistor using an a-Si layer as an active layer and comprising a reversed stagger structure in which a gate

electrode is disposed in the lower layer and a source electrode and gate electrode are disposed in the upper layer while interposing the active layer therebetween has been commonly used.

[0004]

Furthermore, silicon nitride ( $\text{SiN}_x$ ) is generally employed for a gate insulating film used for the thin film transistor.

[0005]

[Problem to be Solved by the Invention]

Silicon nitride ( $\text{SiN}_x$ ) and amorphous silicon (a-Si) can be formed in succession by plasma CVD, and they have an excellent junction characteristic to form a high-quality interface, therefore they have been commonly used. However, since  $\text{SiN}_x$  has narrow wide gap of on the order of 5 eV, the insulation property thereof is not sufficient.

[0006]

Further, as a structure using a different structure for the gate insulating film, in case of a bottom-gate type thin film transistor, there is, for example, a structure in which tantalum oxide ( $\text{TaO}_x$ ) and silicon oxide ( $\text{SiO}_x$ ) are arranged for an under layer and  $\text{SiN}_x$  is used for a upper layer that is in contact with a-Si. In comparison with a case of a single layer of  $\text{SiN}_x$ , reduction in leak current and improvement of yield of an interlayer insulating film can be realized by combining  $\text{SiN}_x$  and another film such as  $\text{TaO}_x$  and  $\text{SiO}_x$ . Especially, since the  $\text{SiO}_x$  film has a broad wide gap, electric charge to the insulating film is hardly injected, and therefore characteristics of the thin film transistor is stabilized. With respect to the manufacturing technique using the  $\text{SiO}_x$  film, a method in which particles are hardly caused had been already established. According to this manufacturing technique, density of pinhole defect can be suppressed and whereby obtaining high yield for the interlayer insulating film.

[0007]

However, since the thin film transistor is formed over a low-melting glass substrate, about  $10^{19}$  to  $10^{20} \text{ cm}^{-3}$  of sodium (Na) becomes Na ions as impurities that are contained in the glass substrate. These Na ions intrude into a gate insulating film to whereby cause instability of the characteristics of the thin film transistor. Note that, compared to the point in which the  $\text{SiN}_x$  film has a high blocking effect of the Na ions, it is commonly known that the Na ions freely move in case of the  $\text{SiO}_x$  film. Accordingly, it is not sufficient to coat the surface of the glass substrate in advance with some sort of an ion-blocking film such as the  $\text{SiN}_x$  film and a BPSG (borophosphosilicate glass) film in order to prevent the Na ions from intruding into the gate insulating film, although it is slightly effective. Furthermore, depending on the manufacturing method, the  $\text{SiO}_x$  film becomes a film which easily absorbs moisture. As result, there is a problem in which moisture contained in the film causes instability of the characteristics of the thin film transistor.

[0008]

In view of the aforementioned problems, an object of the present invention is to provide a thin film transistor having excellent characteristics, high-stability, and good insulation property with high yield and good process consistency, a method of manufacturing thereof and a liquid crystal display element.

[0009]

[Means for Solving the Problem]

A thin film transistor according to claim 1, comprising: an active layer formed on a gate insulating film, the active layer is made from non-single crystal silicon, wherein the gate insulating film is made from a lamination film of a silicon oxynitride film and a silicon nitride film, and wherein the silicon nitride film is in contact with the amorphous silicon.

[0010]

A thin film transistor of claim 2 according to the thin film transistor as claimed in claim 1, wherein the silicon oxynitride film is made from an element selected from the group consisting of Si, N, O, H as its principal constituent, a N concentration of N to Si ratio of the silicon oxynitride film is set to not less than 0.1 and less than 0.8 and the N concentration is smaller than a O concentration, and wherein the silicon nitride film is made from a group consisting of Si, N, and H as its principal constituent, a N concentration of N to Si ratio of the silicon nitride film is set to not less than 1.2 and less than 1.6, and a O concentration is less than  $5 \times 10^{20}$  atoms/cm<sup>3</sup>.

[0011]

A thin film transistor of claim 3 according to any one of the thin film transistors as claimed in claim 1 and claim 2, wherein the silicon oxynitride film is at least partly doped with P or B.

[0012]

A thin film transistor of claim 4 according to any one of the thin film transistors as claimed in claim 1 and claim 3, wherein the refractive index of the silicon nitride film at a wavelength of 632.8 nm is not less than 1.49 and less than 1.65.

[0013]

A thin film transistor of claim 5 according to any one of the thin film transistor as claimed in claim 1 and claim 4, wherein the film thickness of the silicon oxynitride film is set to not less than 200 nm and less than 450 nm, and wherein the film thickness of the silicon nitride film is set to not less than 5 nm and less than 200 nm.

[0014]

A thin film transistor according to claim 6, comprising: an active layer formed over a gate insulating film, the active layer is made from non-single crystal silicon, wherein the gate insulating film is made from a lamination film of a silicon oxide film, silicon

oxynitride film, and a silicon nitride film, wherein the silicon oxynitride film is disposed so as to cover the upper portion of the silicon oxide film, and wherein the silicon nitride film is in contact with the non-single crystal silicon.

[0015]

A thin film transistor of claim 7 according to the thin film transistor as claimed in claim 6, wherein the silicon oxide film is at least partly doped with P or B.

[0016]

A thin film transistor of claim 8 according to any one of the thin film transistors as claimed in claim 6 and claim 7, wherein the silicon oxide film is made from an element selected from the group consisting of Si, O, and H as its principal constituent, and wherein the N concentration is set to less than  $5 \times 10^{20}$  atoms/cm<sup>3</sup>.

[0017]

A thin film transistor of claim 9 according to any one of the thin film transistors as claimed in claim 6 and claim 8, wherein the sum of the film thickness of the silicon oxide film and the silicon oxynitride film is set to not less than 200 nm and less than 450 nm, the film thickness of the silicon oxynitride film is less than 100 nm, and the film thickness of the silicon nitride film is not less than 5 nm and less than 200 nm.

[0018]

A thin film transistor according to claim 10, the thin film transistor is a reversed stagger type, comprising: a gate insulating film formed over a gate electrode; an active layer formed over the gate insulating film, the active layer is made from non-single crystal silicon; and a channel protection film formed over the active layer, wherein the gate insulating film is made from a lamination film of a silicon oxynitride film and a silicon nitride film, wherein the silicon nitride film is in contact with the non-single crystal silicon, and wherein the channel protection film is formed in a self-aligning manner with respect to the gate electrode.

[0019]

A thin film transistor according to claim 11, the thin film transistor is a reversed stagger type, comprising: a gate insulating film formed over a gate electrode; an active layer formed over the gate insulating film, the active layer is made from non-single crystal silicon; and a channel protection film formed over the active layer, wherein the gate insulating film is made from a lamination film of a silicon oxide film, a silicon oxynitride film, and silicon nitride film, wherein the silicon oxynitride film is disposed so as to cover the upper portion of the silicon oxide film, and wherein the silicon nitride film is in contact with the non-single crystal silicon, and wherein the channel protection film is formed in a self-aligning manner with respect to the gate electrode.

[0020]

A method of manufacturing the thin film transistor according to claim 12, wherein the thin film transistor comprises an active layer formed over a gate insulating film, the active layer is made from non-single crystal silicon, wherein the gate insulating film is made from a lamination film of a silicon oxynitride film and a silicon nitride film, the silicon nitride film is in contact with the non-single crystal silicon, and wherein the silicon oxynitride film is formed by plasma CVD using a mixed gas of  $\text{SiH}_4$ ,  $\text{N}_2\text{O}$ ,  $\text{N}_2$ , or  $\text{NH}_3$  as a raw material gas.

[0021]

A method of manufacturing the thin film transistor according to claim 13, wherein the thin film transistor comprises an active layer formed over the gate insulating film, the active layer is made from non-single crystal silicon, wherein the gate insulating film is made from a lamination film of a silicon oxynitride film and a silicon nitride film and the silicon nitride film is in contact with the non-crystal silicon, and wherein the silicon oxynitride film is formed by plasma CVD using a mixed gas of organic silane,  $\text{O}_2$ ,  $\text{N}_2$  or  $\text{NH}_3$  as a raw material gas.

[0022]

A method of manufacturing the thin film transistor according to claim 14, wherein the thin film transistor comprises an active layer formed over a gate insulating film and the active layer is made from non-single crystal silicon, wherein the gate insulating film is made from a lamination film of a silicon oxynitride film and a silicon nitride film, the silicon nitride film is in contact with the non-single crystal silicon, and wherein the silicon oxynitride film, the silicon nitride film and the non-single crystal silicon are successively formed in a same reaction chamber by plasma CVD.

[0023]

A method of manufacturing the thin film transistor according to claim 15, wherein the thin film transistor comprises an active layer formed over a gate insulating film, the active layer is made from non-single crystal silicon, and a protection film made from an inorganic insulating film is formed on the surface thereof wherein the gate insulating film is made from a lamination film of a silicon oxynitride film and silicon nitride film, and the silicon nitride film is in contact with the non-single crystal silicon, and wherein the silicon oxynitride film, the silicon nitride film, the non-single crystal silicon and the inorganic insulating film are successively formed in a same reaction chamber by plasma CVD.

[0024]

A method of manufacturing the thin film transistor according to claim 16, wherein the thin film transistor comprises an active layer formed over a gate insulating film, and the active layer is made from non-single crystal silicon, wherein the gate insulating film is made from a lamination film of a silicon oxide film, a silicon oxynitride

film and a silicon nitride film, the silicon oxynitride film is disposed so as to cover the upper portion of the silicon oxide film and the silicon nitride film is in contact with the non-single crystal silicon, and wherein the silicon oxide film is formed by normal pressure CVD using  $\text{SiH}_4$  and  $\text{O}_2$  as its principal raw material gas and using  $\text{N}_2$  as a diluted gas.

[0025]

A method of manufacturing the thin film transistor according to claim 17, wherein the thin film transistor comprises an active layer formed over a gate insulating film, the active layer is made from non-single crystal silicon, wherein the gate insulating film is made from a lamination film of a silicon oxide film, a silicon oxynitride film, and a silicon nitride film, the silicon oxynitride film is disposed so as to cover the upper portion of the silicon oxide film, and the silicon nitride film is in contact with the non-single crystal silicon, and wherein the silicon oxide film is formed by normal pressure CVD using organic silane,  $\text{O}_3$ , and  $\text{O}_2$  as its principal raw material gas, and using  $\text{N}_2$  as a diluted gas.

[0026]

A method of manufacturing the thin film transistor according to claim 18, wherein the thin film transistor comprises an active layer formed over a gate insulating film, the active layer is made from non-single crystal silicon, wherein the gate insulating film is made from a lamination film of a silicon oxide film, a silicon oxynitride film and silicon nitride film, the silicon oxynitride film is disposed so as to over the upper portion of the silicon oxide film, and the silicon nitride film is in contact with the non-single crystal silicon, and wherein the silicon oxide film is formed by plasma CVD using  $\text{SiH}_4$  and  $\text{N}_2\text{O}$  as its principal raw material gas.

[0027]

A method of manufacturing the thin film transistor according to claim 19, wherein the thin film transistor comprises an active layer formed over a gate insulating film, the active layer is made from non-single crystal silicon, wherein the gate insulating film is made from a lamination film of a silicon oxide film, a silicon oxynitride film and silicon nitride film, the silicon oxynitride film is disposed so as to cover the upper portion of the silicon oxide film, and the silicon nitride film is in contact with the non-single crystal silicon, and wherein the silicon oxide film is formed by plasma CVD using organic silane and  $\text{O}_2$  as its principal raw material gas.

[0028]

A method of manufacturing the thin film transistor according to claim 20, wherein the thin film transistor comprises an active layer formed on a gate insulating film over a substrate, the active layer is made from non-single crystal silicon, wherein the gate insulating film is made form a lamination film of a silicon oxide film, a silicon oxynitride film and a silicon nitride film, the silicon oxynitride



film is disposed so as to cover the upper portion of the silicon oxide film, and the silicon nitride film is in contact with the non-single crystal silicon, and wherein the substrate on which the silicon oxide film is formed is annealed under 10 Torr or less of a vacuum or a low pressure atmosphere to form a silicon oxynitride film without being exposed into the air.

[0029]

A method of manufacturing the thin film transistor according to claim 21, wherein the thin film transistor comprises an active layer formed on a gate insulating film over a substrate, the active layer is made from non-single crystal silicon, wherein the gate insulating film is made from a lamination film of a silicon oxide film, a silicon oxynitride film and a silicon nitride film, the silicon oxynitride film is disposed so as to cover the upper portion of the silicon nitride film, and the silicon nitride film is in contact with the non-single crystal silicon, and wherein the silicon oxynitride film, the silicon nitride film and the non-single crystal silicon are successively formed in a same reaction chamber by plasma CVD.

[0030]

A method of manufacturing the thin film transistor according to claim 22, wherein the thin film transistor comprises an active layer formed on a gate insulating film over a substrate, the active layer is made from non-single crystal silicon, a protection film made from an inorganic insulating film is formed on the surface thereof, wherein the gate insulating film is made from a lamination film of a silicon oxide film, a silicon oxynitride film and a silicon nitride film, the silicon oxynitride film is disposed so as to cover the upper portion of the silicon oxide film, and the silicon nitride film is in contact with the non-single crystal silicon, and wherein the silicon oxynitride film, the silicon nitride film, the non-single crystal silicon and the inorganic insulating film are successively formed in a same reaction chamber by plasma CVD.

[0031]

The liquid crystal display element according to claim 23 uses any one of the thin film transistors as claimed in claim 1 and claim 11 as a switching element.

[0032]

[Action]

The thin film transistor of the present invention uses a silicon oxynitride film and a silicon nitride film as a gate insulating film. Since the silicon nitride film is in contact with non-single crystal silicon, the silicon oxynitride film has a wide gap and is excellent in the insulation property, therefore the effect of blocking impurity ions and water-resisting property can be expected. Furthermore, the silicon nitride film has a good interface property with the non-single crystal silicon.

[0033]

According to the method of manufacturing the thin film transistor of the present invention, the silicon oxynitride film and the silicon nitride film are employed as the gate insulating film. The silicon nitride film is in contact with the non-single crystal silicon and the silicon oxynitride film is formed by plasma CVD using a mixed gas of  $\text{SiH}_4$ ,  $\text{N}_2\text{O}$ ,  $\text{N}_2$  or  $\text{NH}_3$  as a raw material gas. As result, the thin film transistor can be easily fabricated with good insulation property. A effect of blocking impurity ions and water-resisting property can be further expected. Furthermore, excellent contacting characteristic with the non-single crystal silicon can also be obtained.

[0034]

Further, the liquid crystal display element of the present invention uses any one of the thin film transistors as claimed in claim 1 or claim 11 as a switching element, therefore the liquid crystal display element can be operated with stabilized characteristics.

[0035]

[Embodiment]

A case of applying one embodiment of the present invention to an active matrix type liquid crystal display element will be described below with reference to the drawings.

[0036]

Fig. 1 is a cross sectional view showing a thin film transistor (TFT) used for an active matrix type liquid crystal display device (LCD). In Fig. 1, reference numeral 1 is an insulating substrate, which is made from a glass substrate such as Corning Corp. #7059 glass substrate. A gate electrode 2 made from molybdenum-tantalum (Mo-Ta) is formed on a principal surface of the of the glass substrate 1.

[0037]

A silicon oxynitride ( $\text{SiO}_x\text{N}_y$ ) film 3a with a thickness of 0.3  $\mu\text{m}$  is laminated on the gate electrode 2 so as to cover the gate electrode 2. A 0.05  $\mu\text{m}$  thick silicon nitride ( $\text{SiN}_3$ ) film 3b is further laminated and formed thereon. A gate insulating film 3 having a two-layered structure of the  $\text{SiO}_x\text{N}_y$  film 3a and the  $\text{SiN}_3$  film 3b is thus formed.

[0038]

An amorphous silicon (a-Si) film 4 made from a 0.05  $\mu\text{m}$  thick amorphous silicon (a-Si) is formed as an active layer on the gate insulating film 3. A 0.3  $\mu\text{m}$  thick  $\text{SiN}_x$  film 3b is further laminated on the a-Si film 4. The  $\text{SiN}_x$  film 3b is patterned by using resist to be processed into a predetermined shape by an etching solution containing HF as its principal constituent. The resist is then removed from the film to form a channel protection film 5.

[0039]

Next, processes for forming a lamination layer of the gate insulating film 3, the a-Si film 4 and the channel protection film 5 will be described.

[0040]

At first, as a method for manufacturing the  $\text{SiO}_x\text{N}_y$  film 3a, the  $\text{SiN}_x$  film 3b, the a-Si film 4 and the channel protection film 5, all of them are, for instance, formed by plasma CVD. Specifically, it is a most typical manufacturing method that these films are formed by a CVD device of an inline system in which reaction chambers are respectively allocated for each of the films, and these reaction chambers are connected in series. Meanwhile, for the purpose of enhancing productivity as much as possible, it is effective that these films are laminated and formed in a same reaction chamber at a same setting temperature. However, it is often the case that the  $\text{SiN}_x$  film and the a-Si film have large stress. In the conventional structure of using the  $\text{SiN}_x$  film for the entire area of the gate insulating film, when the  $\text{SiN}_x$  film and the a-Si film are alternately laminated in one reaction chamber, these films are peeled from the interior surface of the reaction chamber. This phenomenon becomes a factor of generating particles. Accordingly, although it is apparent that the formation of the lamination film in the same reaction chamber is advantageous in the productivity, this manufacturing method cannot be actually used in mass production for the above-mentioned reason. However, in case of forming the lamination film by introducing a  $\text{SiO}_x\text{N}_y$  film, it is possible to form all films in the same reaction chamber sufficiently since the stress of the  $\text{SiO}_x\text{N}_y$  film is easily suppressed and adhesiveness thereof is excellent in comparison with that of the  $\text{SiN}_x$  film 3b, whereby enabling to reduce the film thickness of the  $\text{SiN}_x$  film.

[0041]

Subsequently, a channel region, a source region and a drain region are formed by forming a low-resistance semiconductor film 6 with a thickness of  $0.05\ \mu\text{m}$  on the a-Si film 4 and channel protection portion, and by processing the semiconductor film 4 and the low-resistance semiconductor film 6.

[0042]

Further, a pixel electrode 7 made from indium tin oxide (ITO) is formed on the gate insulating film 3.

[0043]

A source electrode 8 is then formed on the source region of the low-resistance semiconductor film 6 while contacting to the pixel electrode 7, a drain electrode 9 is formed on the drain region and further a protection film 10 is laminated thereon. Thus, a thin film transistor (TFT) 11 is formed as a switching element over the gate electrode 2, the gate insulating film 3, the a-Si film 4, the source electrode 8, the drain electrode 9 and the protection film 10 to serve as an active element substrate 12.

[0044]

As shown in Fig. 2, a common electrode 21 made from ITO is formed over the principal surface of the glass substrate 1 which is an insulating substrate, whereby constituting an opposed substrate 22.

[0045]

Further, an orientation film 25 made from polyimide (PI) of low-temperature curing type is, for example, formed over the entire surface of the principal surface of an active element substrate 12. Meanwhile, an orientation film 26 made from PI of low-temperature curing type is, for example, similarly formed over the entire surface of the principal surface of a opposed substrate 23. The orientation treatment is performed on the principal surfaces of the active element substrate 12 and the opposed substrate 23 by rubbing the orientation films 25 and 26 with cloth in a predetermined direction, respectively. The active element substrate 12 and the opposed substrate 23 are disposed so that the principal surface sides thereof are opposed each other and alignment axis thereof are made an angle of approximately  $90^\circ$ , thereby enclosing and interposing a liquid crystal 27 between the active element substrate 12 and the opposed substrate 23.

[0046]

When the active element substrate 12 and the opposed substrate 23 are combined each other, the rubbing direction of the orientation films 25 and 26 is set so that the excellent optic-angle direction faces a front side direction. On the other hand, another principal surface sides of the active element substrate 12 and the opposed substrate 23 are adhered with polarizing plates 28 and 29 to constitute a liquid crystal display device (LCD) 30. Light emission is, thus, carried out by emitting light from any one of another principal surface sides of the active element substrate 12 and the opposed substrate 23.

[0047]

Next, a structure of a plasma CVD device 31 in which aforementioned liquid crystal display device 30 is manufactured therein will be described with reference to Fig. 3.

[0048]

The plasma CVD device 31 comprises a common chamber 32 equipped with a transporting mechanism by which a glass substrate 1 is transported with vacuum at a center thereof. Four reaction chambers 33 to 36, a heating chamber 37, and two carrying in/out chambers 38 and 39 are arranged in all directions around the common chamber 32 so as to surround the periphery of the common chamber.

[0049]

The respective reaction chambers 33 to 36 for film deposition are provided with a susceptor for clamping a circular high-frequency electrode with a diameter of 150 mm and a glass substrate 1 opposed to the circular high-frequency electrode, and the reaction chambers connect to a gas supply system comprising  $\text{SiH}_4$ ,  $\text{H}_2$ ,  $\text{NH}_3$ ,  $\text{N}_2$ ,  $\text{O}$ ,  $\text{N}_2$ ,  $\text{PH}_3$ ,  $\text{NF}_3$  and Ar and an exhaust system made from a dry pump. Further, the glass substrate 1 which is a test sample is clamped with the heated susceptor, and the temperature of the surface thereof is controlled so as to be a predetermined temperature.

[0050]

Conversely, a common chamber 32 in which film deposition is not performed, a heating chamber 37, carrying in/out chambers 38 and 39 are connected to a gas supply system of  $N_2$  and a exhaust system made from a dry pump, respectively. The glass substrate 1 is then transported to any one of the carrying in/out chambers 38 and 39, and is heated in the heating chamber 37 via the common chamber 32. After the 10 minutes of heat treatment, the glass substrate 1 is again introduced into the reaction chamber 33 via the common chamber 32. In the reaction chamber 33, a  $SiO_xN_y$  film 3a with a thickness of 0.3  $\mu m$ , a  $SiN_x$  film 3b with a thickness of 0.05  $\mu m$ , an a-Si film 4 with a thickness of 0.05  $\mu m$ , and a channel protection film 5 made from  $SiN_x$  with a thickness of 0.3  $\mu m$  is laminated and formed at a substrate temperature of 320  $^{\circ}C$ .

[0051]

Note that, during the formation, the temperature of the susceptor of the reaction chamber 33 is kept constant. It is of course possible to change the setting temperature depending on the kinds of films. However, this reduces throughput by waiting time for setting the stabilized temperature. Therefore, this method is not realistic.

[0052]

Subsequently, the glass substrate 1 is again carried out by any one of the carrying in/out chambers 38 and 39 via the common chamber 32. Note that, as well as the common chamber 32, the reaction chambers 34 to 36 are used for the four-layered film formation of the  $SiO_xN_y$  film 3a, the  $SiN_x$  film 3b, the a-Si film 4 and the channel protection film 5 made from  $SiN_x$ , in which parallel processing is conducted.

[0053]

On the other hand, since there is a restriction in which a four-layered film must be formed at the same temperature as set forth above, the method of forming the four-layered film of from the gate insulating film 3 to the channel protection film 5 in the same reaction chambers 33 to 36 is slightly inferior in the characteristic of the thin film transistor 11. Especially, the a-Si film 4, which serves as an active layer, is deteriorated by the heating during the formation of the channel protection film 5. Consequently, there is a method in which a three layers of the  $SiO_xN_y$  film 3a, the  $SiN_x$  film 3b and the a-Si film 4 are deposited in the same reaction chambers 33 to 36 at a substrate temperature of 320  $^{\circ}C$ , and the channel protection film 5 of the  $SiN_x$  film is formed in the other reaction chambers 33 to 36 at a substrate temperature of 300  $^{\circ}C$ . That is, referring to the schematic diagram of the plasma CVD device in Fig. 3, the three layers of the two-layered gate insulating film 3 and a-Si film 4 are formed in the reaction chamber 33, the glass substrate 1 is transported to the reaction chamber 35 via the common chamber 32 to form a channel protection film 5 made from  $SiN_x$  and then the glass substrate 1 is

carried out via the common chamber 32. Same treatments are performed in the reaction chambers 34 and 36 to carry out parallel processing. In comparison with the case in which the four layers of from the gate insulating film 3 to the channel protection film 5 are formed at once, it is possible to manufacture the thin film transistor 11 having excellent characteristics by using this method, although it is slightly inferior in the productivity.

[0054]

In any case, by using the  $\text{SiO}_x\text{N}_y$  film 3a, the gate insulating film 3 and the semiconductor film 4 can be substantially laminated and formed in the same reaction chambers 33 to 36, thereby increasing the productivity in comparison with the conventional formation method in which the lamination layers are formed in the separate reaction chambers.

[0055]

Next, the process for forming the  $\text{SiO}_x\text{N}_y$  film 3a will be described.

[0056]

In the plasma CVD device 31 as depicted in Fig. 3, the glass substrate 1 is clamped to the heated susceptor to control the temperature to 320 °C in the reaction chambers 33 to 36. Note that it is desired that the temperature of the glass substrate 1 is set to in the range of from 300 °C to 360 °C. Subsequently,  $\text{SiH}_4$ ,  $\text{N}_2\text{O}$ , and  $\text{N}_2$  are respectively introduced at 20 sccm, 120 sccm and 400 sccm as a raw material gas from a shower electrode which is opposed to the glass substrate 1. The atmospheric pressure of the plasma CVD is controlled to, for example, 1.2 Torr by adjusting the opening of the exhaust valve. Under this condition, when 200 W of 13.56 MHz of high frequency electric power is supplied, electric discharge is generated between the shower electrode and the susceptor to deposit the  $\text{SiO}_x\text{N}_y$  film 3a over the glass substrate 1.

[0057]

Note that the composition of the deposited film is greatly affected by the gas flow rate. That is, since  $\text{N}_2\text{O}$  mainly functions as an O source and  $\text{N}_2$  is mainly serves as an N source, a predetermined composition of the film can be obtained by controlling the gas flow rate. The film deposition can be performed within a wide range of atmospheric pressure between 0.5 Torr and 5 Torr. However, the composition of the deposition film is also greatly affected by this atmospheric pressure. Generically, there is a trend that the amount of N is reduced and much more O is take in the film as the film deposition is performed at higher pressure. Furthermore, it is preferred that the distance between the susceptor and the shower electrode is set within the range of between 10 mm and 40 mm, which is excellent in uniformity of the film thickness. The optimal distance between the susceptor and the shower electrode is closely correlated with the amount of pressure, and is basically in inverse proportion to the

pressure. Therefore, as the film deposition is performed at higher pressure, narrower distance between the susceptor and the shower electrode is required. Actually, under the above-described film deposition conditions, it is appropriate to set the distance therebetween to in the order of 20 mm. Also, in case of setting the frequency of the electric discharge to higher value such as 27 MHz, 41 MHz and 54 MHz, narrower distance between the susceptor and the shower electrode is required.

[0058]

Further, it is possible to employ  $\text{NH}_3$  as a raw material gas of the  $\text{SiO}_x\text{N}_y$  film 3 as a substitute for  $\text{N}_2$ . In comparison with  $\text{N}_2$ ,  $\text{NH}_3$  can be easily decomposed, and therefore much more amount of N is taken into the film, although it is minute amounts. In addition, since H contained in  $\text{NH}_3$  is taken in the film and a film with etching rate that is different from  $\text{N}_2$  can be obtained, it is possible to control the etching rate by using N and H appropriately.

[0059]

On the other hand, when organic silane is used for the raw material gas as a substitute for  $\text{SiH}_4$ , a  $\text{SiO}_x\text{N}_y$  film having excellent step coverage can be attained due to the flowability of the organic silane at the deposition surface. In case of forming a bottom-gate type thin film transistor, for example, even if the taper processing is not conducted to a wiring line (not illustrated in the drawing) which is connected from the gate electrode 2, the surface of the bottom-gate type thin film transistor is sufficiently covered and leveled, although it is not completely leveled. The gate insulating film 3 having excellent step coverage is also effective in the case of using a top-gate type thin film transistor. Concretely speaking, the following can be given as preferred examples of the organic silane: TEOS (Tetraethylorthosilicate:  $\text{Si}[\text{OC}_2\text{H}_5]_4$ ); TMS (Trimethylsilicate:  $\text{SiH}[\text{OCH}_3]_3$ ); TRIES (Triethylsilicate:  $\text{SiH}[\text{OC}_2\text{H}_5]_3$ , Hexamethyldisilazane:  $[\text{CH}_3]_3\text{SiNHSi}[\text{CH}_3]_3$ , Hexamethyldisilane:  $[\text{XH}_3]_3\text{SiSi}[\text{CH}_3]_3$ ); Hexamethyldisiloxane:  $[\text{CH}_3]_3\text{SiOSi}[\text{CH}_3]_3$  and the like. Especially, TEOS is most widely known as a raw material of the  $\text{SiO}_2$  film in the semiconductor field, and is inexpensive and available. Note that it is preferred to use  $\text{O}_2$  as an O source of these raw material gases since  $\text{N}_2\text{O}$  has weak oxidizing capability. Further, the nitriding capability also needs to counter the oxidizing capability of  $\text{O}_2$ , therefore  $\text{NH}_3$  is more preferable rather than  $\text{N}_2$ . Furthermore, in case of using  $\text{N}_2\text{O}$  and  $\text{N}_2$ , a large amount of flow rate thereof is necessary.

[0060]

Subsequently, a bubbling is often required for supplying the organic silane, and an inert gas such as  $\text{N}_2$ , He, Ar is used for the bubbling. In the semiconductor field, with respect to the  $\text{SiO}_2$  film made from organic silane which is represented by TEOS, moisture contained therein or the hygroscopic property absorbing water afterward often becomes a problem. In case of the thin film transistor

11, if the gate insulating film 3 containing moisture is used, defects are caused in the stability of the thin film transistor 11 and the like. However, if N is introduced into the film according to the present invention, excellent step coverage can be maintained and further various problems concerning moisture can be solved.

[0061]

In order to achieve a simultaneous pursuit of blocking an impurity and water, there is a most effective range of the composition of the  $\text{SiO}_x\text{N}_y$  film 3a. Preferable conditions of the composition of the  $\text{SiO}_x\text{N}_y$  film 3a are set as follows: the  $\text{SiO}_x\text{N}_y$  film 3a is composed of Si, N, O, and H as its principal constituent; the composition ratio of N to Si is set to between 0.1 and 0.8; and O to Si ratio is larger than the N to Si ratio. Further, within the above-mentioned range, the insulation property is more superior in the area where is close to the  $\text{SiO}_x\text{N}_y$  film 3a having broad wide gap. Accordingly, it is preferable that the N to Si ratio is set to in the range of between 0.3 and 0.5, whereas the O to Si ratio is set to in the range of between 1.2 and 1.5. Concretely speaking, such composition is appropriate that SiO is about 0.25 and N is about 0.45. Adjustment of these compositions are carried out by changing at least any one of the gas flow rate, pressure, electric discharge power, and the distance between the susceptor and the electrode.

[0062]

Meanwhile, the  $\text{SiN}_x$  film 3b contacting to an a-Si film 4 that functions as an active layer is composed of Si, N and H as its main constituent, and the composition ratio of N to Si is set to not less than 1.2. However, in view of the reliability of the thin film transistor 11, the composition ratio of N to Si is set to not less than 1.33 according to the stoichiometric composition. Oxygen (O) is taken in the  $\text{SiN}_x$  film 3b as an impurity. However, if the O content is set to less than  $5 \times 10^{20}$  atoms/cm<sup>3</sup>, an excellent interface with the a-Si film 4 can be formed. Further, since the  $\text{SiN}_x$  film 3b is formed over the  $\text{SiO}_x\text{N}_y$  film 3a, when these films are formed in the same reaction chambers 33 to 36, it is necessary to pay attention so that  $\text{N}_2\text{O}$  is promptly removed after the formation of the  $\text{SiO}_x\text{N}_y$  film 3a. In this case, in order to remove the  $\text{N}_2\text{O}$  immediately, the purge method using gas is more effective than the high-vacuum evacuation. However, it is not necessarily good for the film deposition to reduce the O content as much as possible. Further, the long purging time for removal of  $\text{N}_2\text{O}$  causes adverse effects on the productivity. Accordingly, the O content may be suppressed within the range that does not adversely affect the characteristics of the thin film transistor 11. Further, during the case in which the  $\text{SiO}_x\text{N}_y$  film 3a and the  $\text{SiN}_x$  film 3b are formed in the same reaction chambers 33 to 36, it is preferable to set the purging time to not less than 5 seconds and less than 60 seconds, respectively. The appropriate range of the amount of O contained in the  $\text{SiN}_x$  film 3b is set to not less than 5



$\times 10^{18}$  atoms/cm<sup>3</sup> and less than  $5 \times 10^{20}$  atoms/cm<sup>3</sup>.

[0063]

It is defined that the film thickness of the SiO<sub>x</sub>N<sub>y</sub> film 3a is determined according to the composition ratio of O to Si and the composition ratio of N to Si. In addition to that, the hydrogen (H) content is considerably changed according to the film-deposition temperature or voltage. The value of the refractive index defines the film quality including the respective composition ratio of Si, N, and O and the amount of the H content. It is desired that the refractive index of the SiO<sub>x</sub>N<sub>y</sub> film 3a is in the range of between 1.49 and 1.65. If the composition ratio of Si, N and O fulfills the above-mentioned conditions, a film containing a large amount of hydrogen (H) is inferior in the insulation property. Such film having a rough structure has a small refractive index. Therefore, excellent effects can be obtained by maintaining the refractive index within the aforementioned range. Note that the refractive index of the present invention has a wavelength of 632.8 nm.

[0064]

Further, when the SiO<sub>x</sub>N<sub>y</sub> film 3a is partially or entirely doped with phosphorus (P) or boron (B), an effect of gettering an impurity ion, especially a Na ion, can be obtained as well as the case of utilizing a PSG (phosphosilicate glass), a BSG (borosilicate glass), and a BPSG (borophosphosilicate glass). Since the thin film transistor 11 is formed on the glass substrate 1, if a function of capturing the Na ion which penetrates from the glass substrate is provided in the thin film transistor 11, the reliability thereof can be enhanced. Concretely speaking, the SiO<sub>x</sub>N<sub>y</sub> film 3a is further divided into two layers, and phosphorus (P) is only doped to a side that is close to the glass substrate 1 or to the gate electrode 2. The Na ion is then captured by gettering in the lower layer of the SiO<sub>x</sub>N<sub>y</sub> film 3a in which P is doped. As result, the characteristics of the thin film transistor 11 are not adversely affected by the Na ion. Note that, if the SiO<sub>x</sub>N<sub>y</sub> film 3a is doped with P, the electric characteristics thereof, such as insulation property of the gate insulating film 3, are slightly deteriorated. Therefore, a non-phosphorous-doped layer is laminated thereon in order to compensate for this defect. Specifically, in case of a bottom-gate type thin film transistor, a SiO<sub>x</sub>N<sub>y</sub> layer doped with P is directly formed on the gate electrode 2 to a thickness of about 30 to 80 nm, a SiO<sub>x</sub>N<sub>y</sub> layer that is not doped with P is further formed thereon. Thus, the SiO<sub>x</sub>N<sub>y</sub> film 3a that is composed of the SiO<sub>x</sub>N<sub>y</sub> layer doped with P and the SiO<sub>x</sub>N<sub>y</sub> layer not doped with P can be obtained.

[0065]

Further, it is also effective that a thin SiO<sub>x</sub>N<sub>y</sub> layer that is not doped with P is interposed between a P-doped layer and the gate electrode, and the P-doped layer is sandwiched by layers that is not doped with P. The phosphorus doping to the SiO<sub>x</sub>N<sub>y</sub> film 3a can be easily

performed by using  $\text{PH}_3$  as a raw material gas. When boron (B) is doped, a raw material gas such as  $\text{B}_2\text{H}_6$  and  $\text{BF}_3$  may be used. It is preferred that the film doped with P or B and the a-Si layer 4 are separately formed in the different reaction chambers among the reaction chambers 33 to 36.

[0066]

As set forth above, the gate insulating film 3 is composed of the  $\text{SiO}_x\text{N}_y$  film 3a and the  $\text{SiN}_x$  film 3b. It is preferred that the film thickness of the  $\text{SiO}_x\text{N}_y$  film 3a is not less than 200 nm and less than 450 nm, whereas the film thickness of the  $\text{SiN}_x$  film 3b is not less than 5 nm and less than 200 nm. Namely, since the  $\text{SiO}_x\text{N}_y$  film 3a provides the insulation property and the  $\text{SiN}_x$  film 3b provides the interface characteristic with respect to the a-Si film 4, separately, it is preferable that the  $\text{SiN}_x$  film 3b is made thinner than the  $\text{SiO}_x\text{N}_y$  film 3a. The sum of the whole film thickness of the gate insulating film 3 including the  $\text{SiO}_x\text{N}_y$  film 3a and the  $\text{SiN}_x$  film 3b is appropriately set to in the range of between 300 nm and 500 nm.

[0067]

Next, another embodiment of the present invention will be described with reference to Fig. 4. The embodiment illustrated in Fig. 4 constitutes a part of the liquid crystal display device 30 as well as the embodiment depicted in Fig. 1.

[0068]

In the embodiment illustrated in Fig. 4, a silicon oxide ( $\text{SiO}_x$ ) film 3c with a thickness of 0.15  $\mu\text{m}$  is formed as a gate insulating film 3 so as to cover a gate electrode 2, a silicon oxynitride ( $\text{SiO}_x\text{N}_y$ ) film 3d with a thickness of 0.15  $\mu\text{m}$  is formed over the  $\text{SiO}_x$  film 3c, a silicon nitride ( $\text{SiN}_x$ ) film 3e with a thickness of 0.05  $\mu\text{m}$  is formed over the  $\text{SiO}_x\text{N}_y$  film 3d, and an a-Si film 4 with a thickness of 0.05  $\mu\text{m}$  is further formed thereon as well as Fig. 1.

[0069]

As described-above, the  $\text{SiO}_x$  film 3c having a large wide gap is used in a portion of the gate insulating film 3, which allows the improvement of the insulation property and the characteristic of withstand pressure. Meanwhile, the defects of the  $\text{SiO}_x$  film such as the hygroscopic property and the mobility of impurity ions are overcome by covering the  $\text{SiO}_x$  film with the  $\text{SiO}_x\text{N}_y$  film 3d. Furthermore, the  $\text{SiN}_x$  film 3e secures the excellent interface characteristic with respect to the a-Si film 4.

[0070]

A process of manufacturing a lamination layer of the thin film transistor 11 of the gat insulating film 3, the a-Si film 4 and the channel protection film 5 will be described here.

[0071]

At first, the  $\text{SiO}_x$  film 3c is formed by the arbitrary method such as normal pressure CVD, reduced-pressure CVD, plasma CVD and RF sputtering. Note that it is not necessary to hold with vacuum between

the  $\text{SiO}_x$  film 3c and the  $\text{SiO}_x\text{N}_y$  film 3d that is subsequently formed. The  $\text{SiO}_x\text{N}_y$  film 3d, the  $\text{SiN}_x$  film 3e, the a-Si film 4 and the channel protection film 5 are formed by plasma CVD, for instance, as the same manner as the embodiment illustrated in Fig. 1.

[0072]

Further, when the  $\text{SiO}_x$  film 3c is formed by using a thermal CVD process such as normal pressure CVD and reduced-pressure CVD, the gate insulating film 3 including less particle generation and less pinhole defect can be obtained, although it is necessary to heat the glass substrate 1 at approximately not less than 400 °C. Specifically, when 100 sccm of  $\text{SiH}_4$ , 2 slm of  $\text{O}_2$  and 20 slm of  $\text{N}_2$  are introduced into the glass substrate 1 that is already heated at 430 °C, respectively, the  $\text{SiO}_x$  film 3c is formed. In this case,  $\text{N}_2$  is a diluted gas and does not contribute to the film deposition directly.

[0073]

Subsequently, if organic silane is used as a raw material gas for normal pressure CVD as a substitute for the  $\text{SiH}_4$  film, a  $\text{SiO}_x$  film that is excellent in step coverage can be obtained according to the flowability of the organic silane at the deposition surface. In case of the bottom-gate type thin film transistor, for example, the film is sufficiently covered and is leveled, although it is not completely leveled, even if taper processing is not conducted in a wiring line (not shown in the drawings) which is connected from the gate electrode 2. The gate insulating film 3 that is superior in step coverage is, of course, effective in case of the top-gate type thin film transistor. Further, above-described TEOS, TMS, TRIES and the like are mentioned as a specific example of the organic silane. Since  $\text{O}_2$  itself has poor oxidizing capability as an O source of these raw material gases, it is necessary to use  $\text{O}_3$  that is promoted by an ozonizer. Further, since the  $\text{SiO}_x$  film made from organic silane using normal pressure CVD is especially rich in the hygroscopic property, when the  $\text{SiO}_x$  film is applied to the thin film transistor, it is necessary to use the  $\text{SiO}_x$  film in combination with the  $\text{SiO}_x\text{N}_y$  film 3d having high water-resisting property.

[0074]

Next, a case of using plasma CVD for the formation of the  $\text{SiO}_x$  film 3c will be described. In this case, the glass substrate 1 is cramped with the susceptor, which is heated at the reaction chambers 33 to 36 in advance, and the glass substrate 1 is heated at 320 °C. It is desired that the temperature of the glass substrate 1 be in the range of between 300 °C and 360 °C. On comparing the plasma CVD form thermal CVD, the  $\text{SiO}_x$  film 3c can be formed at a temperature lower than that of the thermal CVD. In addition, the plasma CVD is superior in less damage to the glass substrate 1.

[0075]

20 sccm of  $\text{SiH}_4$  and 800 sccm of  $\text{N}_2\text{O}$  are then introduced as a raw material gas from the shower electrode which is opposed to the

glass substrate 1, respectively. The atmospheric pressure is, for example, controlled to 1.2 Torr by adjusting the opening of the exhaust valve. 13.56 MHz of high frequency electric power is supplied at 300 W, generating electric discharge to deposit the  $\text{SiO}_x$  film over the glass substrate 1. Concerning the gas flowing rate, it is desired that the  $\text{N}_2\text{O}$  is supplied by 20 times larger than  $\text{SiH}_4$  such that the film formation chamber is not rich in Si.

[0076]

The film formation can be performed at a pressure in the range of 0.5 to 5 Torr. However, the film formation at low pressure takes in lesser hydrogen (H) within the film and provides a superior insulating film in comparison with the film formation at high pressure. Therefore, it is appropriate that the film formation is performed at 0.6 to 1.8 Torr. The distance between the susceptor and the shower electrode is set to in the range of between 10 mm and 40 mm, which is superior in the uniformity of the film thickness. Note that the optimal distance therebetween has a strong correlation with the pressure, and is inversely related to the pressure. Therefore, as the film formation is performed at higher pressure, narrower distance between the susceptor and the shower electrode is required.

[0077]

Further, as well as normal pressure CVD, in case of the plasma CVD, when the  $\text{SiO}_x$  film 3c is formed by using organic silane as a raw material gas as a substitute for  $\text{SiH}_4$ , the  $\text{SiO}_x\text{N}_y$  film 3d that is superior in step coverage can be obtained because of the flowability of the organic silane at the deposition surface. Aforementioned TEOS, TMS, TRIES and the like are mentioned as a specific example of the organic silane in this case. Since  $\text{N}_2\text{O}$  is poor in the oxidizing property,  $\text{O}_2$  is preferably used as the O source of these raw material gases. Furthermore, since the  $\text{SiO}_x$  film 3c made from organic silane has high hygroscopic property, it is necessary to use the  $\text{SiO}_x$  film 3c in combination with the  $\text{SiO}_x\text{N}_y$  film 3d having high water-resisting property.

[0078]

When the  $\text{SiO}_x\text{N}_y$  film 3d is formed over the  $\text{SiO}_x$  film 3c according to the above-described method, it is necessary to pay attention to the following points. Firstly, the  $\text{SiO}_x$  film 3c has already contained moisture therein at the point of the termination of the film formation, although the moisture content is different depending on the film formation method. When the  $\text{SiO}_x$  film 3c is formed by normal pressure CVD rather than plasma CVD and by using organic silane rather than  $\text{SiH}_4$ , much more moisture is contained therein. Secondly, when the  $\text{SiO}_x$  film 3c is exposed to the atmospheric air, the film absorbs moisture. Therefore, when the  $\text{SiO}_x\text{N}_y$  film 3d is formed, it is necessary to exclude moisture contained in the  $\text{SiO}_x$  film 3c in advance. As a method of releasing the moisture, the  $\text{SiO}_x$  film 3c may be annealed with vacuum or under the reduced-pressure atmosphere of less than 10

Torr, and may be covered with the  $\text{SiO}_x\text{N}_y$  film 3d without exposure to the atmospheric air. As a matter of course, the  $\text{SiO}_x$  film 3c and the  $\text{SiO}_x\text{N}_y$  film 3d are separately formed in the different manufacturing devices. If these films are sequentially formed in a same manufacturing device, it is desired that moisture contained in the  $\text{SiO}_x$  film 3c removed at once by the annealing treatment. Further, it is preferable that the annealing treatment is performed at a temperature higher than the temperature of forming the  $\text{SiO}_x\text{N}_y$  film 3d by 10 to 40 °C. Although the annealing treatment performed for 1 to 2 minutes available only for the purpose of heating the glass substrate 1, the annealing time is not sufficient for the purpose of removing the moisture contained in the  $\text{SiO}_x$  film 3c. Therefore, it is necessary to perform the annealing treatment for not less than 5 minutes, more preferably for not less than 10 minutes.

[0079]

In addition, the  $\text{SiO}_x$  film 3c is made from Si, O, and H as its principal constituent, and the  $\text{SiO}_x$  film 3c further contains N depending on the method of manufacturing thereof. In order to obtain a superior insulation property, however, the N content must be set to less than  $5 \times 10^{20}$  atoms/cm<sup>3</sup>.

[0080]

Further, it is preferable that the film thicknesses of the  $\text{SiO}_x$  film 3c, the  $\text{SiO}_x\text{N}_y$  film 3d, the  $\text{SiN}_x$  film 3e that constitute the gate insulating film 3 is set as follows: the sum of the film thickness of the  $\text{SiO}_x$  film 3c and the  $\text{SiO}_x\text{N}_y$  film 3d is not less than 200 nm and less than 450 nm, the film thickness of the  $\text{SiO}_x\text{N}_y$  film 3d is not less than 100 nm, and the film thickness of the  $\text{SiN}_x$  film 3e is not less than 5 nm and less than 200 nm. Both of the  $\text{SiO}_x$  film 3c and the  $\text{SiO}_x\text{N}_y$  film 3d provide the insulation property, only the  $\text{SiO}_x\text{N}_y$  film 3d provides the water-resisting property and a function of blocking impurity ions, and only the  $\text{SiN}_x$  film 3e provides the interface property with respect to the a-Si film 4, respectively. Thus, these films provide functions, separately. The  $\text{SiO}_x$  film 3c has superior in the insulation property and less density of pinhole defects, which allows the good insulation property of the gate insulating film 3. The appropriate film thickness of the gate insulating film 3 comprising the  $\text{SiO}_x$  film 3c, the  $\text{SiO}_x\text{N}_y$  film 3d and the  $\text{SiN}_x$  film 3e is in the range of 300 to 500 nm.

[0081]

Next, another embodiment will be described with reference to Fig. 5. The cross sectional view depicted in Fig. 5 constitutes a part of the liquid crystal display device 30 shown in Fig. 2, as well as the embodiment shown in Fig. 1.

[0082]

The embodiment illustrated in Fig. 5 has a characteristic in a shape of the thin film transistor 11, wherein the gate electrode 2 is exposed to the light from the back surface so as to determine

the width of a channel formation film 5 in a self-aligning manner.  
[0083]

The gate insulating film 3 is composed of a lamination film of a  $\text{SiO}_x\text{N}_y$  film 3a and a  $\text{SiN}_x$  film 3b as the same manner as the embodiment shown in Fig. 1.

[0084]

The thin film transistor 11 in which the width of the channel protection film 5, i.e. the channel length, corresponds with the width of the gate electrode 2 has an advantage of less parasitic capacitance between a gate and a source. However, in comparison with a thin film transistor in which the width of the gate electrode 2 is longer than that of the channel protection film 5, the thin film transistor 11 is weak against the contamination from the glass substrate 1. That is, in the case of using the thin film transistor having larger gate electrode than the channel protection film, if impurity ions such as Na are diffused from the glass substrate 1, the channel protection film 5 is protected by the larger gate electrode 2. Therefore, the channel protection film 5 is not affected by the contamination of impurity ions or is hardly affected by the contamination thereof. In order to overcome this problem, the thin film transistor 11 that is formed in a self-aligning manner needs to have a structure which withstands the diffusion of the impurity ions. The gate insulating film 3 is made from a lamination layer of the  $\text{SiO}_x\text{N}_y$  film 3a and the  $\text{SiN}_x$  film 3b, which allows the outstanding effects especially in the improvement of the reliability of the characteristics of the thin film transistor 11. The effect against the impurities is, of course, further enhanced by doping P or B with a portion of the  $\text{SiO}_x\text{N}_y$  film 3a.

[0085]

Further, another embodiment will be described with reference to Fig. 6. The embodiment shown in Fig. 6 constitutes a part of the liquid crystal display device 30 illustrated in Fig. 2, as well as Fig. 4.

[0086]

With respect to the embodiment shown in Fig. 6, the width of the channel protection film 5 is determined in a self-aligning manner by exposing the gate electrode 2 from the back surface, as well as the embodiment shown in Fig. 4.

[0087]

The gate insulating film 3 is made from a lamination layer of the  $\text{SiO}_x$  film 3c, the  $\text{SiO}_x\text{N}_y$  film 3d, and the  $\text{SiN}_x$  film 3e, which provides same effects as the embodiment illustrated in Fig. 5.

[0088]

In any embodiments as set fourth above, the yield can be increased, which leads to the reduction in the manufacturing cost. In addition, the characteristics of the thin film transistor 11 are stabilized, which permits use under the stricter driving conditions..

[0089]

Note that, in the above-described embodiments, the liquid crystal display device is described. However, the present invention can be applied to an a-Si adhesion sensor and the like.

[0090]

[Effect of the Invention]

According to the present invention, since the silicon oxynitride film and the silicon nitride film is used as the gate insulating film and the silicon nitride film is in contact with the non-single crystal silicon, the silicon oxynitride film is superior in the insulation property. Further, the improvement of the effect of blocking impurity ions and the water-resisting property may also be expected. In addition, the silicon nitride film has the excellent interface property with the non-single crystal silicon, which permits improvement of the characteristics thereof.

[Brief Description of Drawings]

Fig. 1 is a cross sectional view showing a thin film transistor used for an active matrix type liquid crystal display element that uses an embodiment of the present invention;

Fig. 2 is a cross sectional view showing a structure of the liquid crystal display device;

Fig. 3 is a block diagram showing a plasma CVD device in which the liquid crystal display device is manufactured;

Fig. 4 is a cross sectional view showing a thin film transistor used for an active matrix type liquid crystal display element of another embodiment of the present invention;

Fig. 5 is a cross sectional view showing a thin film transistor used for an active matrix type liquid crystal display element of above-mentioned or another embodiment of the present invention; and

Fig. 6 is a cross sectional view showing a thin film transistor used for an active matrix type liquid crystal display element of the above-mentioned or another embodiment of the present invention.

[Description of the Reference Numerals]

- 3: gate insulating film
- 3a: silicon oxynitride film
- 3b: silicon nitride film
- 3c: silicon oxide film
- 3d: silicon oxynitride film
- 3e: silicon nitride film
- 4: a-Si film used as an active layer
- 11: thin film transistor used as a switching element